PATENT ABSTRACTS OF JAPAN

(11)Publication number:

03-126265

(43) Date of publication of application: 29.05.1991

(51)Int.CI.

H01L 29/788 H01L 27/115 H01L 29/784 H01L 29/792

(21)Application number : 01-264453

(71)Applicant: TOSHIBA CORP

(22)Date of filing:

11.10.1989

(72)Inventor: UEMURA TERUO

MIZUTANI TAKAHIDE

HANADA NAOKI

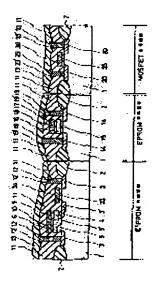
MORI TATSUO

SHINADA KAZUYOSHI

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE **THEREOF**

(57)Abstract:

PURPOSE: To make it possible to provide a memory element necessitating rewriting of data and a memory element not necessitating rewriting thereof nearly at all together in a scaled-down one-chip microcomputer, by providing a first memory element constructed of E2PROM, a second memory element constructed of EPROM and a peripheral element constructed of MOSFET at least on the same semiconductor substrate. CONSTITUTION: A first gate insulation film 5 of an E2PROM cell in a region wherein E2PROM is formed, a tunnel insulation film 5', a first gate insulation film 15 in a region wherein EPROM is formed, and first gate insulation films 35, 5 of selective transistors in a region wherein MOSFET is formed and in the region wherein



the E2PROM is formed, are formed to be different in a film thickness from one another. Moreover, floating gates 6, 16 of the E2PROM and the EPROM and a gate 34 of MOSFET (including the selective transistor of the E2PROM) are formed of different conductive layers and the E2PROM, the EPROM and the MOSFET are formed on the same chip. Besides, the floating gate 6 of the E2PROM and the floating gate 16 of the EPROM are so formed that area resistance values thereof are different from each other.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑱日本国特許庁(JP)

① 特許出額公開

◎ 公開特許公報(A) 平3-126265

®int.Cl.5

識別記号 庁

庁內裝理番母

@公開 平成3年(1991)5月29日

H 01 L 29/788

7514-5F

H 01 L 29/78

371301

i *

審査請求 有 請求項の数 10 (全42頁)

9発明の名称 不揮発性半導体記憶装置およびその製造方法

塑特 顕 平1-264453

❷出 顏 平1(1989)10月11日

伊発 明 恣 捆 村 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝多摩 川工場内 分発 93 者 **神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝多摩** 水 陲 奕 川工場内 玬 奢 7E Ħ 直 紀 神奈川県川崎市空区小向東芝町 1番地 株式会社東芝多彦 川工場内 公発 閯 桽 竉 男 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝多塚 川工場内 勿出 原 人 株式会社東芝 神奈川県川崎市華区堀川町72番地 90代 選 人 弁理士 鈴江 武彦 外3名

剪 紐 徘

1. 発明の名称

最終質に絞く

不學発性半導体記憶装置およびその製造方法 2. 特許請求の範囲

(1) 同一半線体鉄板上に、EPROMにて 铸成された第1の記憶部と、

EPROMにて構成された第2の記述師と、

MOSFETにて構成された周辺部とを少なく とも具備していることを特徴とする事準体記録袋 試。

(2) 半球体器板上にフィールド地級膜を形成し、架子頻號としてE*PROM形成予定領域、EPROM形成予定領域、および周辺周MOSFET形成予定領域を得る工程と、

上記E² PROM形成予定領域に対して所定の 不純物をイオン法入し、第1の不能物層を形成す る工程と、

本子領域上に第1のゲート絶縁頭を形成するエ 口と、

上記EPROM形収予定領域、および周辺用

M O S F E T 形成予定領域上に形成された上記第 1 のゲート絶縁機を訓練する工程と、

上記EPROM形成予定領域、および周辺用MOSPET形成予定領域上に上記第1のゲート 税程機と概率の異なる第2のゲート路報機を形成 する工程と、

上記第1の不規制順上の第1のゲート絶報機の一部を除去し、再度、この除去部分に対して、第 1および第2のゲート犯疑既とは糖胺の異なる第 3のゲート裕録眼を形成する工程と、

全面に、E² PROMおよびEPROMの浮遊ゲート、E² PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第1の存態層を形成する工程と、

この第 1 の毎 電 図 を、 E ² P R O M お よ び E P R O M の 併 選 ゲ ~ ト の セ ル ス リ ッ ト 、 E ² P R O M の 選 訳 別 M O S F E T の ゲ ~ ト の 形 訳 に パ タ ~ ニン グ す る 上 程 と 、

金面に、第4のゲート相縁勝を形成する工程と、

特閒平3-126265 (2)

全面に、E'PROMおよびEPROMの制御サートとなる毎2の特容届を形成する工程と、

この第2の房庭屋を、E ® PROはおよび EPROMの制御ゲートの形状にバターニング し、これをマスクに引きれる上記第1の導電船を E ² PROMおよびEPROMの浮遊ゲートの形 状にパターニングする工程と、

上記 E² PROMおよび EPROMの制御ゲート、E² PROMの選択用MOSFET 並びに 辺 IBMOSPET のゲートをマスクにして、ソース/ドレイン 様域形成用の不能物を、 あ板に対し イオン注入する工程と、

このイオン主人された不純物を活性化して、ソ ース/ドレイン 領域を形成する工程とを具備する ことを特徴とする半等体記憶装置の製造方法。

(3) 超水項(1)記載の半導体記録装置において、

E'PROMおよびEPROMが持つ浮遊ゲートと、E'PROMの選択用MOSFET並びに 周辺用MOSFETが持つゲートとが、それぞれ 異なる専場層にてなることを特徴とする半導体記録は数。

(4) 半導体基板上にフィールド総線線を形成し、素子領域としてEPPROM形成予定領域、EPROM形成予定領域、および周辺用MOSFST形成予定領域を得る工程と、

上記EプPROM形成予定領域に対して所足の 不能物をイオン注入し、第1の不純物層を形成す る工程と、

有子循環上に第1のゲート絶歓談を形成する工 Refer

上記EPROM形成子定領域および周辺用MOSFET形成予定領域上に形成された上記第 1のゲート地級顕著到証する工程と、

上記EPROM形成予定額級、および州辺用 MOSFET形成予定額級上に上記第1のゲート 絶縁級と映解の現在る第2のゲート絶縁機を形成 する工程と、

上記第1の不純物層上の第1のゲート総録版の一部を除去し、再度、この除去部分に対して、

第18よび第2のゲート 絶縁襞とは膜原の異なる 類3のゲート絶縁線を形成する工程と、

全面に、E2 PROMおよびEPROMの浮造 ゲートとなる第1の導電船を形成する工程と、

この第1の導電船のうち、EPROMおよびEPROMの浮遊ゲートのセルスリット、EPPROMの選択用MOSFET並びに周辺用MOSFET影成所域に存在する第1の導電器を除去する工程と、

全国に第4のゲート短疑勝を形成する工程と、 全国に、E² PROMおよびEPROMの報荷 ゲート、E² PROMの遊択用MOSFET並び に関連用MOSFETのゲートとなる第2の導電 騒を形成する工程と、

この多2の毎電路を、E² PROMの母訳用MOSFET並びに関辺用MOSFETのゲートの形状にバターニングする工品と、

きらにこの第2の導電階を、E・PROMおよびEPROMの制御ゲートの形数にバターエングし、これをマスクに引き雑ま上辺知1の課盤器を

E'PROMおよびEPROMの浮遊ゲートの形 状にパターニングする工程と、

上記E® PROMおよびEPROMの制例ゲート、E² PROMの選択用MOSFET並びに跨辺用MOSFET並びに跨辺用MOSFETがに対して、ソースノドレイン競技形成用の不純物を、基板に対しイオン強入する工程と、

このイオン床人された不輔物を活性化して、ソース/ドレイン領域を形成する工程とを見知することを得限とする半導体記憶装置の製造方法。

(5) 請求項(8) 記載の単線体記憶報故において、

B² PROMおよびBPROMが持つ浮遊ゲートと、斜節ゲートとの間に、酸化膜と、数化されにくい地球膜とが存在することを特徴とする単導体記憶気度。

(8) 非游体兹版上にフィールド能键旗を影映し、素子領域としてEPPROM形成予定所址、BPROM形成予定領域、および問週間MOSFET影成予定領域を得る工作と、

特別平3-126265 (3)

上記見² PRCH形成予定が規に対して所定の不純物をイオン住人し、第1の不純物腦を形成する工程と、

数子類は上に第1のゲート絶縁器を形成する工程と、

上記SPROM形成予定領域、および島辺用 MOSFET形成予定領域上に形成された上記写 Iのゲート結構鉄を割離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート 独韓関と概厚の異なる第2のゲート総録襲を形成 する工程と、

上記別1の不能物場上の第1のゲート路接機の一部未験去し、削យ、この除去部分に対して、第1 および近2のゲート路難限とは護漢の異なる第3のゲート路翻像を形成する工程と、

全面に、E・PROMおよびEPROMの保護ゲートとなる第1の専場がを形成する工程と、

この第1の海田園のうち、EIPROMおよびEPROMの解遊ゲートのセルスリット、

ト、 E² PROMの選択同MOSFET並びに無 辺州MOSFETのゲートをマスクにして、 ソース/ドレイン領域形成用の不動物を、 品級に対し イボン注入する工程と、

このイオン注人された不統物を活性化して、 ソース/ドレイン 領域を形成する工程とを具備することを特徴とする半導体記憶致緩の製造方法。

(7) 請求項(!) あるいは(3) あるいは(5) 紀 額の半芽体記憶装翼において、

E、PROMが持つ浮遊ゲートを構成する母電 限と、EPROMが持つ浮遊ゲートを構成する雰 名房との面積低抗値がそれぞれ鬼なることを特徴 とする半導体記憶設置。

(1) 中海体基板上にフィールド柏は頭を財政し、最下領域としてE² PROM形成予定領域、EPROM形成予定領域、および周辺局HOSFET形成予定領域を持る工場と、

上記E² PROM形成于定崩域に対して研定の不統物をイオン技人し、第1の不純物館を形成する工程と、

E PROMO與決用MOSFET並びに跨辺用MOSFET形成領域に存在する第1の英雄函を除力する工程と、

全部に第4のゲート他は数を構成する酸化膜層を形成する工程と、

全面に羽4のゲート能録機を譲放する酸化され にくい絶縁機器を形成する工程と、

全面に、EPPROMおよびEPROMの制御ケート、EPPROMの遊択用MOSFET並びに消辺均MOSFETのゲートとなる第2の連び 沿を形成する工程と、

この第2の専売図を、E2 PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパケーニングする工程と、

さらにこの第2の事性層を、E ? PRO UN X よび E PRO Mの 製強ゲートの影状にバターニングし、これをマスクに引き続き上記第1の母電路をE 2 PRO Mの浮遊ゲートの形状にバターニングする工程と、

上記E7 PROMELUEPROMの制御ゲー

米子領域上に第1のゲート地球級を形成する工程と、

上記EPROM組成予定領域、および周辺州MOSFET形成予定領域上に形成された上記第 1のゲート発録額を利潤する工程と、

上記EPROM影成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート 経緯膜と順係の異なる第2のゲート路線膜を形成する工程と、

上記第1の不純物層上の第1のゲート結構版の一部を設立し、再度、この設立部分に対して、期18よび第2のゲート能性順と核膜壁の異なる第3のゲート機能度を形成する工程と、

全面に、E² PROMおよび IPROMの浮波 ゲート、E² PROMの選択用MOSF E T 並び に周辺用MOSP B T のケートとなる第 1 の雄磁 類を形成する工程と、

この第1の専事語のうち、 E 2 PROMの浮遊ゲート形成予定が低上に不統領の遊断能力を持つ 物質的を影成する工程と、

48 图 平 3-126265 (4)

この物質局をマスクに、上に第1の専電筋に対 し不純物を導入し、この第1の尋視筋において、 節数医抗腫が異なる誘環を少なくとも1 層所形成 する工程と、

この面積低状態の異なる領域が少なくとも1的 所形成された第1の許報階を、E² PROMお よびEPROMの得速ゲートのセルスリット、 E² PROMの選択用MOSFET並びに異辺用 MOSFETのゲートの形状にバターニングする 工程と、

全面に、第4のゲート地球膜を形成する工程と、 全面に、52PROMおよびEPROMの制御 ゲートとなる第2の雑電路を形成する工程と、

この知るの男地間を、 2 ° PROMおよび EPROMの制御ゲートの影状にバケーニング し、これをマスクに引き続き上記第1の専治浴を E°PROMおよびEPROMの浮落ゲートの形 状にパターニングする工程と、

上記E² PROMおよびEPROMの制御ゲート、E¹ PROMの超択用MOSFET並びに周

終録額と戦率の異なる第2のゲート地程度を形成 する工程と、

上記第1の不純物器上の第1のゲート総鉄限の一部を除去し、再定、この除去部分に対して、第1および第2のゲート総鉄膜とは模型の異なる第3のゲート総鉄膜を形成する工程と、

全前に、E2 PROMおよびEPROMの浮遊ゲートとなる第1の専場階を形成する工程と、

この第1の導売層のうち、E2 PROMの存進 ゲート形成予定額以上に不純物の運転能力を持つ 物質層を形成する工程と、

この物質層をマスクに、上紀第1の再電船に対し、 し不純物を導入し、この第1の再電船において、 面積低減値が異なる領域を少なくとも1関係形成 する工程と、

この面積抵抗値の異なる断限が少なくとも1時 所形成された第1の母電路のうち、EPPROM およびEPROMの浮型ゲートのセルスリット、 EPPROMの選択用MOSFET並びに関連用 MOSFET形成解核に存在する第1の母報語を 辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不動物を、各板に対しィオン生入する工程と、

このイオン注入された不植物を流性化して、ソース/ドレイン 新球を形成する工程とを具備することを特徴とする 半導体記憶装置の製造方法。

(9) 学群体当版上にフィールド掲録機を形成し、杂子領域としてE² PROM形成予定機域、EPROM形成予定機域、および周辺用MOSFET形成予定領域を得る工程と、

上記 6 ° P R O M 形成予定領域に対して廃定の不純物をイオン注入し、第 ! の不純物原を形成する工程と、

素子領域上に第1のゲート発揮機を形成する工程と、

上記 E P R O M 形成予定領域、および問辺用MOSFET形成予定領域上に形成された上記第 1のゲート複数版を創盤する工程と、

上記EPROM形成予定領域、および周辺市MOSFET形成予定領域上に上記第1のゲート

除出する工程と、

全面に 第4のゲート絶録限を形成する T 起と、全面に、E*PRCM および E PRCM の制御ゲート、E*PROMの選択 M O S F E T 並びに周辺用M O S F E T のゲートとなる第2の非電腦を形成する 正数と、

この第2の毎電階を、E2 PROMの選択用 MOSFET並びに展辺用MOSFETのゲート の形状にパターニングする工程と、

さらにこの称2の季電暦を、E*PROMおよびEPROMの制御ゲートの形状にパターニングし、これをマスクに引き競き上記第1の専帯級をE*PROMの序巻ゲートの形状にパターニングする工程と、

上記E² PROMおよびEPROMの制部ゲート、E² PROMの制訳用MOSFET並びにMOSPETのゲートをマスケにして、ソース/ドレイン領域形成用の不純物を、基皮に対しイオン准入する工程と、

このイオン注入された不能物を活性化して、ソ

特關平3-126265 (5)

- ス/ドレイン領域を形成する工程とを負続する ことを特徴とする半導体配限装置の製造方法。

(10) 卡罗泽基版上にフィールド地級線を形成し、女子前域としてE² PROM形成子建筑域、EPROM形成子定新域、および周辺很MOSFET形成予定領域を得る工程と、

上記E*PROM影成予定額減に対して所定の不純物をイオン注人し、第1の不純物所を形成する工程と、

君子前岐上に第1のゲート船線器を形成する工程と、

上記 E P R O M 形成予逻辑域、および周辺別M G S F E T 形成予定領域上に形成された上記第1のゲート組む膜を訓練する工程と、

上記EPROM形成予定領域、および銀辺頂MOSFET形成予定領域上に上記第1のゲート 治球域と豚塚の異なる第2のゲート絶縁鏡を形成する工程と、

上記第1の不能物層上の第1のゲート語録順の 一部を発去し、即度、この段表部分に対して、 第1万よび第2のゲート的縁張とは腰厚の異なる 第3のゲート始縁殿を形成する工程と、

全型に、E*PROMおよびEPROMの活成 ゲートとなる第1の事業間を形成する工程と、

この第1の導で形のうち、EPPROMの浮遊ゲート形成予定的法上に不純物の遊断能力を持つ物質局を形成する工程と、

この物質減をマスクに、上記第1の粤地層に対し不能物を導入し、この第1の専電路において、 面装紙流頭が異なる領域を少なくとも1期所形成する工程と、

この面板抵抗値の欠なる領域が少なくとも1 衛所形成された第1の単電器のうち、E*PROMの形成ゲートのセルスリット、E*PROMの形成ゲートのセルスリット、E*PROMの遊訳用MOSFET並びに開設用MOSFET影成領域には在する第1の導電隔を除出する工程と、

全面に第4のゲート絶縁勝を構成する酸化膜質を形成する工程と、

全国に第4のゲート地球調を構成する酸化され

にくい路段膜隔を形成する工程と、

この 50 2 の 30 電路を 、 E * P R O M の 選択 用 M O S F E T 並びに 用 辺 用 M O S F E T の ケート の 形状 に パター ニング する I 器 と 、

さらにこの郊2の塚電園を、EIPROMおよびEPROMの製御ゲートの形状にパターニングし、これをマスクに引き継き上記郊1の専地浴をE*PROMのよびEPROMの再連ゲートの形状にパターニングする工程と、

上記E PROMおよびEPROMの初回ゲート、E PROMの選択用MOSFET推びに関 辺用MOSFETのゲートをマスクにして、ソー メノドレイン構成形成用の不純物を、語版に対し イオン独入する工程と、

このイオン准入された不動物を済性化して、ソ マス/ドレイン領域を形成する工程と专具領する ことを特徴とする中海体記憶装置の製造方法。 3. 配明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は卓線体記憶装置およびその製造方法に関し、特に舞外線により配置消去が可能なメモリセルと、電気的に記憶消去が可能なメモリセルとを同一チップ上に記載した半導体記憶製造およびその製造方法に関する。

(従来の技術)

従来、1チャプ上にSRAMと、EPROMとより、1チャプとでイクロコータが見ないない。このような必要があるがデータは、田田のとはおかった。田田のはとんどはいずータをおがない。のえばおりがにははないが、からには、田いられてはなられたとは、田田のははないが、からないがはないが、からないがはないが、からないであるEPROMであるEPROMであるEPROM

猜期平3-126265(6)

湯成されたメモリ部に記憶させる。

ところで、上記SPROMでBR 成されたメモリ路は、他のROMでBR 成しても持わないが、SPROMでBR 成することにより、メーカー副でデータを含き込む(装置内に作り込む)必要がなく、ユーザー間で伝常なデータを含き込め、非常に便利で、かつ汎用性の高い製品となる。

しかし、上記 1 チップマイクロコンピュータでは、書き替える必要があるデータを記憶させるメモリ部が S R A M にて 請成されているため、チップ上で、このメモリ部が占める 戦合が火きい ものとなっている。よって、上記 S R A M と、E P R O M とを混越した 1 チップマイクロコンピュータのチップサイズは、大きいものとなっている。

(免明が解決しようとする課題)

この 定明 は上記のよう ながに 選 みてあされた もので、 書き替える 必要 が ある データ を記憶する 記憶部と、 巻き替える 必要 がほとんどないデータ を記憶する記憶部とを合せ持つ チップサイズの 紹

上記EPROM形成予定領域、および周辺別MOSPET形成予定領域上に形成された上記第 1のゲート的試験を対離する工程と、

上記第1の不報物層上の第1のゲート的経験の一部を除去し、料度、この除去部分に対して、第1だよび第2のゲート的経際とは胰腺の異なる第3のゲート絶経機を形成する工程と、

全回に、 E² PROMおよびEPROMの浮泡 ゲート、 E² PROMの選択用MOSFET並び に周辺用MOSFETのゲートとなる項1の専電 層を形成する工程と、

この第 1 の母 電 間 を、 E * P R O M お とび E P R O M の 浮 遊 ゲ ー ト の セ ル ス り ァ ト 、 E * P R O M の 遊 択 用 N O S F E T 並 び に 周 辺 桁 M O S F E T の ゲ ー ト の 形 状 に バ タ ー ニ ン グ す る 工 組 と 、 小された!テップマイクロコンピュータを提供することを目的とする。

[発明の協成]

(課題を解決するための手段)

この発明による第1の半線体記憶装置によれば、同一半線体益板上に、EPROMにて構成された第1の記憶部と、EPROMにで構成された第2の起係部と、MOSFCTにて構成された 処置部とを少なくとも異微していることを特徴と する。

また、この第1の半線体記憶装置の製造方法は、準度体を嵌上にフィールド総裁験を形成し、最子院破としてE。PROM形成予定海破、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記E1PROM形成予定領域に対して前定の 不純物をイオン注入し、第1の不純物語を形成す るて担と、

素予領法上に第1のゲート総経験を形成する工程と、

全面に、第4のゲート絶縁限を形成する工程と、 全面に、E°PROMおよびEPROMの制御 ゲートとなる第2の導環筋を形成する工程と、

この第2の導電階を、E² PROMおよび EPROMの制御ゲートの形状にパターニング し、これをマスクに引き続き上記第1の導電階を E¹ PROMおよびEPROMの移型ゲートの形 状にパターニングする工程と、

上記E、PROMおよびEPROMの制御ゲート、E³ PROMの選択用MOSPET並びに展辺増MOSFETのゲートをマスクにして、ソース/ドレイン関域形成用の不純的を、基根に対しイオン法入する工程と、

このイオン性人された不飽物を活性化して、リース/ドレイン傾城を形成する工程とを負債することを特殊とする。

この発明による第2の半場が定性装置によれば、同一半等な基板上に、EPPROMにて構成された第1の記憶部と、EPROMにで構成された第2の記憶器と、MOSFETにて構成された

符関平3-126265 (プ)

問辺配とを異領してなる単海体記憶数壁において、 E*PROMおよびEPROMのが持つ浮躍ゲートと、MOSFETが持つゲートとが、それぞれ 以なる写性層にてなることを特徴とする。

また、この第2の半導体記憶装置の製造方法は、平等体区収上にフィールド絶報機を形成し、架子頻繁としてE・PROM形成予定頻繁、EPROM形成予定韻減、および周辺用MOSFETE版予定領域をおる工程と、

上記 E 7 P R O M 形成予定領域に対して所定の ・ 不続物をイオン注入し、第1の不額物層を形成する E 程と、

表子領域上に第1のゲート協議場を形成する正 程と、

上記EPROM形成予定領域および得及用 MOSFET形成予定領域上に形成された上記第 1のゲート複数版を到離する工程と、

上記EPROM形成予定明後、および周辺別MOSFET形成予定領域上に上記第1のゲート路路限と腹岸の異なる第2のゲート路線膜を形成

すらにこの第2の専復層を、EIPROMおよびEPROMの制御ゲートの形状にパターニングし、これをマスクに引き続き上記第1の遊場層を E2PROMおよびEPROMの浮遊ゲートの形 状にパターニングする工程と、

上記 E 2 P R O M および E P R O M の 割歯ゲート、 E 2 P R O M の 選択 I M O S F E T 並び に 局 近 用 M O S P B T の ゲートをマスク に して、 ソース / ドレイン 頻 製 形成 用の 不純 物を、 基板 に 対 し イオン 注入 する 工 盤 と 、

このイオン住入された不純物を指載化して、ソ ¬ス/ドレイン領域を形成する工程とを具度する ことを特徴とする。

この発明による第3の半導体記憶器既によれば、同一半導体拡較上に、EIPROMにて構成された第1の記憶部と、EPROMにて構成された第2の記憶部と、MOSPETにて構成された四辺部とを具写し、上記EIPROMのが持つ浮遊ゲートと、MOSFETが内つゲートとが、それぞれ異なる姿質圏にてな

する正程と、

上記記1の不能物質上の第1のゲート終録膜の一部を除去し、再改、この験差部分に対して、第1および第2のゲート絶縁膜とは頻繁の異なる第3のゲート絶縁膜を形成する工程と、

全面に、モッタROEおよびEPROMの浮造ゲートとなる第1の外指をを形成する工程と、

この第1の毎年協のうち、EPPROMおよびをPROMの浮遊ゲートのセルスリット、EPROMの遊択用MOSPET並びに周辺用MOSPETが成領域に存在する第1の部案層を縁なする工程と、

全面に第4のゲート 箱線線を形成する工程と、 全面に、E[†] PROMおよびEPROMの制御ゲート、E[†] PROMの産択項MOSFET 並び に周辺頂MOSFETのゲートとなる第2の選定 層を形成する工程と、

この32の専電路を、E2PRUMの選択用MOSFET並びに関退用MOSFETのゲートの形状にバターニングする工程と、

る半等体記憶器器において、EPPROMおよび EPROMが持つ浮遊ゲートと、約例ゲートとの 間に、般化版と、酸化されにくい絶録機とが存在 することを特徴とする。

また、この知るの単母体記憶疑問の製造方法は、早年体苗版上にフィールド絶縁膜を形成し、男子領域としてEIPROM形成予定領域、日よび周辺用域、EPROM形成予定領域を仍る工程と、

上記号*PROM形成予定頻波に対して所定の不能物をイオン注入し、第1の不能物層を形成する工程と、

者子領域上に第1のゲート絶録膜を形成する工程と、

上記EPROM形成予定領域、および問題用MOSFET形成予定領域上に形成された上記紹 1のゲート路線號を割離する工程と、

上記EPROM形成予定額級、および別辺用 MOSFCT形成予定額架上に上記第1のゲート 総縁関と競隊の刄4ろ第2のゲート総縁数を形成

3間平3-126265 (8)

する工程と、

上記第1の不能物層上の第1のゲート指収取の一部を設立し、再度、この設立部分に対して、第 1 および羽2のゲート絶疑隣とは順原の異なる第 3のゲート絶疑隣を形成する工程と、

全面に、E 2 PROMおよびEPROMの形迹 ゲートとなる第1の毎福暦を形成する322と、

この第1の終電路のうち、E2PROMおよびEPROMの活躍ゲートのセルスリット、 E2PROMの選択用MOSFET並びに同辺用 MOSFET形成領域に存在する第1の導電器を 除去する工程と、

金歯に第4のゲート絶縁膜を構成する酸化膜腫を形成する工程と、

金面に第4のゲート船を腹を構成する般化され にくい路線競脳を形成する工程と、

全面に、E * PROMおよびEPROMの側面 サート、E * PROMの選択用MOSFET型び に周辺別MOSFETのゲートとなる第2の単純 脳を形成する J W と、

周辺部とを具備してなる単導体記憶装置において、 E² PROMが持つ浮遊ゲートを構成する専電際 と、EPROMが持つ浮遊ゲートを構成する導電 略との函位抵抗能がそれぞれ異なることを特徴と する。

また、この第4の半導体記憶装置の製造方法は、半導体基度上にフィールド絶縁機を形成し、飛手前域としてE² PROM形成予定所域、EPROM形成予定所域、EPROM形成予定所域、センび周辺用MOSFET形成予定領域を得る工程と、

上記E² PROM 形成予定領域に対して所定の不純物をイオン往入し、第1の不純物層を形成する工程と、

東子領域上に第1のゲート語辞號を形成する工程と、

上記EPROM形成予定領域、および周辺項MOSFET形成予定領域上に形成された上記第 1のゲート格録額を朝報する工程と、

上記EPROM形成予定領域、および周辺用MOSPET形成予定領域上に上記第1のデート

この第2の存電脳を、EIPROMの選択所MOSFET並びに用返用MOSFETがサートの形状にパターニングする工程と、

さらにこの第2の時程層を、E*PROMおよびEPROMの調御ゲートの形状にバターニングし、これをマスクに引き続き上記第1の専電腦をE*PROMの接近ゲートの形状にバターニングする工程と、

上記E2 PROMおよびEPROMの調理ケート、E2 PROMの選択用MOSPET並びに思 辺用MOSPETのゲートをマスクにして、ソース/ドレイン循環形成用の不能物を、落版に対し イオン法人する工程と、

このイオン法人された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特性とする。

この発明による第4の半導体を掲載波によれば、同一半導体基板上に、 E P P R O M にて構成された第1の記憶部と、 E P R O M にて構成された第2の記憶部と、 M O S F E T にて構成された

絶極限と襲撃の異なる第2のゲート絶縁観を形成 する工程と、

上記録 1 の不能物質上の第 1 のゲート絶縁膜の一部を除去し、再成、この終決部分に対して、第 1 および第 2 のゲート絶縁聴とは襲撃の気なる第 3 のゲート絶縁機を形成する工程と、

この第1の集市圏のうち、 E * PROMの浮遊ゲート形成予定無域上に不能物の過断能力を持つ 物質液を形成する工程と、

この物質原をマスクに、上記第1の専出版に対し不純物を有入し、この第1の専用版において、 画類派院値が異なる領域を少なくとも1時所形成 する工程と、

この面核低抗菌の異なる領域が少なくとも1分析形成された第1の等電面を、E² PROMおよびEPROMの決選ゲートのセルスリット、

特周平3-126265 (9)

E ² PROMの選択所MOSFBT並びに構造用 MOSFETのゲートの形状にパターニングする TRE、

全面に、第4のゲート絶縁膜を形成する工程と、 全面に、E² PROMおよびEPROMの新聞 ゲートとなる第2の構造経を形成する工程と、

この第2の男階層を、E * PROMおよびEPROMの制御ヤートの形状にバターニングし、これをマスクに引き続き上記第1の母電局をE * PROMおよびEPROMの再通ゲートの影状にパターニングする工程と、

このイオンは入された不能物を活性化して、ソース/ドレイン防域を形成する工程とを見避することを特徴とする。

この発明による第5の半導体記憶装置によれ

は、同一半可外技好上に、E*PROMにて構成された第1の記憶部と、EPROMにで構成された第2の記憶部と、MOSFETにで構成された周辺部とを具備し、上記E*PROMおおびEPROMのが持つ浮遊ゲートと、MOSFETが持つゲートとが、それぞれ戻なる場路層にでなる半導体記憶装置において、E*PROMが持つ浮遊ゲートを構成する導電層との脳構成能がでれぞれ異なることを特徴とする。

また、この第5の単導体記憶機器の製造方法は、半導体品板上にフィールド絶数額を彫成し、水平領域としてE²PROM形成予定領域、 EPROM形成予定領域、 および関項用MOSFETBLS、

上紀E⁷ PROM形成予定請談に対して所定の不純物をイオン法人し、第1の不純物機を形成する工程と、

君子的は上に第1のゲート格辞額を形成する工 根と、

上記EPROM形成予定領域、および周辺月 MOSFET形成予定領域上に形成された上記第 1のゲート格級数を剥削する工程と、

上記EPROM形成予定領域、および周辺用 MOSFET形成予定領域上に上記第1のゲート 地駅頭と順原の異なる第2のゲート地級販を形成 する工程と、

上記第1の不能物際上の第1のゲート絶疑膜の一部を除去し、再度、この缺去部分に対して、第1および前2のゲート絶録額とは関度の異なる第3のゲート絶録膜を形成する工程と、

全面に、E² PROMおよび BPROMの浮遊ゲートとなる第1の専門団を形成する工程と、

この第1の専電域のうち、E2PROMの浮遊ゲート形成予定前板上に不軽物の遮断能力を持つ物質随を形成する工程と、

この物質隔をマスクに、上記第1の専場別に対し不純物を導入し、この第1の思路周において、 酸散低抗値が異なる類域を少なくとも1歳前形成 するて程と、 この面観無抗値の異なる領域が少なくとも1箇所形成された第1の専環隔のうち、E2PROMおよびEPROMの浮遊ゲートのセルスリット、E2PROMの選択用MOSFET並びに周辺用MOSFET影成領域に存在する第1の準電層を除去する上記と、

全面に第4のゲート結構膜を形成する工程と、 全面に、E² PROMの遊訳市MOSPを下述び ゲート、E² PROMの遊訳市MOSPを下述び に周辺用MOSFETのゲートとなる第2の講問 節を形成する工程と、

この第2の専権服を、E² PROMの選択用 MOSFET並びに構造場MOSFETのゲート の形状にバターニングする工程と、

さらにこの国2の野銀届を、E、PROMおよびEPROMの制面ゲートの形状にバターニングし、これをマスクに引き続き上記第1の野電局をE、PROMおよびEPROMの浮遊ゲートの形状にパターニングする工むと、

上記E PROMおよびEPROMの制面が-

特開平3-126265 (10)

ト、E2PROMの遊択地MOSFET並びに MOSPETのゲートをマスクにして、ソース/ ドレイン領域形成用の不純物を、愁視に対しイオ ン株人する工程と、

このイオン注入された不能物を法性化して、ソ - スプドレイン領域を形成する工程とを具備する ことを特徴とする。

とを特徴とする。

また、この35の半写体記憶袋盤の製剤方法は、半安体基板上にフィールド糖緑機を形成し、菓子が終としてE*PROM形成予定が域、EPROM形成予定が域、独よび駒辺用MOSPET影成予定が域を得る工程と、

上記E*PROM形成予定領域に対して所定の 不執物をイギン注入し、第1の不無物脳を形成す る工程と、

忍予領域上に強力のゲート絶殺額を形成する工程と、

上記EPROM形成予定額週、および周辺用MOSFET形成予定額域上に形成された上記第 1のゲート機能膜を刺離する工程と、

上紀EPROM形成予定明線、および周辺周MOSFET影成で定期線上に上記第1のゲート 絶経膜と膜深の異なる第2のゲート絶難機を形成 する工程と、

上紀第1の不能物歴上の第1のゲート絶縁機の 一部を除去し、智度、この降去部分に対して、

第 1 および第2のゲート格線膜とは瞭摩の異なる 第3のゲート格線膜を形成する工程と、

全面に、E*PROMおよびEPROMの浮造ゲートとなる第1の単電隔を形成する工程と、

この第1の母母層のうち、E * FRCMの浮遊ゲート形成予定領域上に不能物の選斯能力を持つ物質等を形成する工程と、

この物質層をマスクに、上記第1の専電器に対し不能物を導入し、この第1の連起層において、 函級低抗値が異なる関鍵を少なくとも1箇所形成 する工程と、

この間額抵抗値の異なる筋機が少なくとも1 内 筋形成された第1 の専港圏のうち、E² PROM およびドPROMの選択用MOSFET進びに周辺月 MOSFET形成調味に存在する第1 の可能隔を 統立する工程と、

全面に第4のゲート絶縁脚を規以する故化鉄局 を形成する工程と、

全面に知るのゲート絶様鏡を讃成する酸化され

にくい絶縁順勝を形成する工程と、

全面に、E*PROMおよびEPROMの制御ゲート、E*PROMの透沢用MOSPET並びに周辺用MOSFETのゲートとなる第2の専覧船を形成する工程と、

この第2の毎項語を、E°PROMの選択用MOSFET並びに周辺用MOSFETのサートの形状にパクーニングする工程と、

さらにこの第2の模型層を、E2 PROMおよびEPROMの類跳ゲートの形状にパターニングし、これをマスクに引き焼き上記第1の準値局をE2 PROMの序段ゲートの形状にパクーニングする工程と、

上記と『PROMおよびをPROMの制御デート、EPPROMの選択所MOSPET並びに提 辺角MOSFETのゲートをマスクにして、ソース/ドレイン所属形成用の不純物を、基級に対し イオン注入する工程と、

このイオン症人された不動物を清性化して、ソ - ス/ドレイン領域を形成する工程とを見解する

特别平3~126265 (11)

ことを特徴とする。

(作用)

上記のような第1ないし京6の半導体記憶袋 座にあっては、E²PROMにて構成された記憶 第において、地気的に記憶消去が可飽であるため、 データの随時費き暫えというRAM敷作が可能で あり、よって、朗えばチップ上に形成されている SRAMとの値自決えが可能である。しかも、従 来のSRAMに比較して、その1セル当りの面積 は約1/5であることから、上記第1ないし努6の半海体記憶装置のチップサイズは小さくなる。

さらに、このE2PROMにて構成された記憶部においては、従来のSRAMではできなかったデータの記憶というROM動資も可能になることから、上紀第1ないし類6の半導体記憶装電の機能性は高いものになる。

上記別1の中導体記憶装電の製造方法によれば、 EPPROM形成別限に存在する第1ゲート総録 限と、トンネル器経際と、EPROM形成部域お よびMOSFET形成領域に存在する第1ゲート

ジスタの節1ゲート路経験とを、それぞれ異なる 聴輝に形成して、さらに、E*PROMおよびEPROMの移遊ゲートと、MOSPET (E*PROMの選択トランジスタを含む)のゲートとを、それぞれ異なる夢耀樹にで形成して、E*PROMと、MOSPETとが同一チップに形成できるようになる。しかも、MOSPET とび(E*PROMの選択トランジスタを含む)のチャネル領域に対するチャネルインブラの際には、機性酸化胰の導入が可能となる。

上記第4の半導体記憶装置の製造方法によれば、第1の半導体記憶装置の製造方法の作用に加えて、E PROMの浮遊ゲートと、EPROMの浮遊ゲートとの通技抵抗値とを、互いに異ならせて形成できるようになる。

上記記ちの半導体記憶数型の製造方法によれば、 到2の半導体記憶気器の製造方法の作用に加えて、 E² PROMの浮遊ゲートと、EPROMの浮遊 ゲートとの面積低抗値とを、且いに異ならせて形 成できるようになる。

絶対限とも、それぞれ以なる嫉惡に形成して、 E * PROMと、EPROMと、MOSFETと が同一チップに形成できるようになる。

上記年2の半導体記憶技術の報告方法によれば、 E²PROM形収機域のE*PROMせんの節1 ゲート結Qでと、トンネル格Qでと、EPROM 形成研験およびE*PROM形成調域の選択トラン の研験およびE*PROM形成調域の選択トラン の類がよびE*PROM形成調域の選択トラン の類に形成して、さらに、E*PROMとな びEPROMの選択トランジスタを含む)の (E²PROMと、EPROMと、MOSPETと が同一チップに形成できるようになる。

上記符3の平海外記憶製造の製造方法によれば、EPPROM形成所域のEPPROMセルの第1ケートを観察と、トンネル絶縁跳と、EPROM形成前域の第1ケート他線膜と、MOSFET影成新域がよびEPROM形成頻域の選択トラン

上記第6の半導体記憶袋器の製造方法によれば、第3の半導体記憶袋器の製造方法の作用に加えて、E²PROMの浮遊ゲートと、EPROMの浮遊ゲートとの面銭抵抗値とを、互いに異ならせて形成できるようになる。

(鬼煎奶)

以下、図面を参照して、この発明の表準例に 協わる中導体記憶設置およびその製造方法につい で説明する。

第1回は、この充明の第1の実施的に係わる事 等体記憶装置の概念を示す販値図である。

第2図(a)ないし第2図(h)は、第1図に ボす甲等体記憶装置を製造工程類に示した瞬間図 である。

まず、第180の新面図に示すように、単単体基板1上には、フィールド酸化酸2が形成され、E2PROMU成領域、EPROM形成領域、および周辺用MOSFET形成領域の各場勘索子領域に、それぞれ分離されている。

これらの能効率子領域のうち、ます、

特別平3-126265 (12)

BIPROM形成領域における能動需子の構造に ついて説明する。EPPROM形成傾々における 基板1の表面領域には、基板1とは反対専希望の ソース/ドレイン領域3が2箇所に形成されてい る。これらのソース/ドレイン領域3の相互間に は、毎2のソース/ドレイン領域3′が1箇所形 成されている。第2のソース/ドシイン領域3′ には、これに抜して、恁板しとは反対導電型の不 鈍物器4が形成されている。ソース/ドレイン領 城ると、第2のソース/ドレイン領域3′との相 互間に形成されるチャネル領埃上には、第1ゲー ト酸化腺ラが形成されている。この第1ゲート酸 化膜5の膜壁は、例えば430人程度である。た だし、不確物勝4上に存在する第1ゲート酸化原 ちには、一部、類単が、例えば100人程仪のト ンネル酸化膜5′ が設けられている。これらの第 1ゲート酸化酶の、およびトンオル酸化酶の′上 には、節1層ポリシリコン時にて形成された浮遊 ゲートらが形成されている。選択月MOSFET 倒に存在するソースノドレイン領域3と、第2の

ソース/ドレイン領域3′との租及間に形成され るチャネル崩壊上には、選択月MCSPETの第 1ゲート酸化铍7が形成されている。このダーゲ ート酸化酶での酶類は、第1プート酸化膜をの原 駆と倒じであり、例えば430人経度である。こ の第1ゲート軟化脳7上には、第1箱ポリシリコ ン塔にて形成された選択形MOSFETのゲート 8が形成されている。

一方、浮遊ゲートら上には、類2ゲート酸化膜 9が形成されている。この第2ゲート酸化版 9上 には、第2階ポリシリコン略にて形成された例類 ゲート10が形成されている。全面には、扇間乾 **緑膜し!が形成され、この疑問絶縁膜11には、** ソースノドレイン領域3に通じるコンタクト孔 12が開孔されている。このコンタクト孔12内 には、例えばアルミニウムからなる配線12′が 形成されている。さらに、層間粘線購11上には、 表面保護船13か形成されている。

次に、EPROM形成領域における電動単子の 迅速について説明する。 EPROM形成領域にお

ける基板1の表面頻級には、基板1とは反対導電 翌のソース/ドレイン領域14が2頭所に形成さ れている。これらのソース/ドレイン領域14の 旧互関に存在するチャネル領域上には、第1ゲー ト酸化膜15が形成されている。この第1ゲート 敗化級15の魏原は、別えば250人程度である。 この第1ゲート酸化酸15上には、第1日ポリシ りコン層にて形成された浮遊ゲート16が形成さ れている。この岸遊ゲート16上には、第2ゲー ト酸化幾1?が形成されている。この第2ゲート 敗化映17上には、第2層ポリシリコン層にて形 成された制御ゲート18が形成されている。全面 には、展開的辞典11が形成され、この層間独録 腹11には、ソース/ドレイン領域14に近じる コンタクト孔19が悶孔されている。このコンタ クト孔19内には、例えばアルミニウムからなる 配数19′が形成されている。さらに、層間絶録 瀕11上には、表面保護膜13が形成されている。. 感用的鞣験11上には、安藤保護器13が形成さ 尚、凶示すると³ PROMおよびEPROMは、

ソースおよびドレインにおのおの配線が接続され

た、いわゆる2パス方式のものである。

次に、照辺増MOSFGT形成領域における能 動者子の構造について説明する。 M O S F E T 形 成領域における証板1の表面領域には、芸板1と は反対好省型のソース/ドレイン領域20が2億 所に形成されている。これらのソース/ドレイン 新越20の相互間に存在するチャネル頻越上には、 第 1 ゲート酸化酶 2 1 が形成されている。この第 1ゲート酸化酶21の波原は、第1ゲート酸化酶 15と同じであり、例えば250人程度である。 この第1ゲート酸化膜21上には、第1層ポリシ リコン屋にて形成されたゲート22が形成されて いる。金額には、弱関絶殺疑しるが形成され、こ の居内枢経験11には、ソース/ドレイン領域 20に通じるコンタクト孔23が図孔されている。 このコンタクト礼23内には、例えばアルミニウ ムからなる配数23′が形成されている。さらに、 れている。

第1の異胞例に係わる半導体記憶装置は、以上

特閒事3-126265 (13)

のような構造となっている。

このような、類1の要施利に係わる半導体記憶袋器によれば、EPPROMと、EPROMとが同一茲後1上に配載されている。したがって、1チップ上に、BPPROMにて構成され、電気的に配係消扱が可能である配慮部と、SPROMにて構成され、紫外韓限制により記憶消扱が可能である記憶部とを伝えた半導体記憶装置が裏裏される。

また、E² PROMは、電気的に記述の消失 が可能であるため、ゲークの随時 書き替えとい うRAM 知作が可能である。そこで、従来の SRAM、EPROM 孤級 1 チップマイクロコ ンピュータにおいて、SRAMを、E² PROM と 異き換えることが可能である。しかも、 E² PROM は、SRAMに比較して、その1 セ ル当ちの値位が約1/5であることから、類1の 実験例に係わる半導体記憶装置のチップサイズは 小さいものとなる。

さらに、このも2 PROMにて提収された紀像

がでは、従来のSRAMではできなかった不揮発性のデータ記憶というROM動作も可能であり。 よって、入力されたデークは、全て消去されるものではなくなり、必要に応じてデータの認識が可能となり、1チップマイクロコンピュータの機能は、より高いものとなる。

さらに、 不免明の 効果としては、後来のEPROM搭載字等体記憶数置と、 E*PROM 搭載平等体記憶数置とを、 それぞれ 1 チップにモノリシック化することも可能であり、例えばシステムの時略化、器械能化等にも貢献である。

次に、第2図(a)ないし第2図(b)を参照して、第1の実施的に係わる単母体記憶装置の製造方法について類別する。第2図(e)ないし第2図(b)において、各参照する符号は、第1図と対応するものとする。

まず、節2図(a)に示すように、例えばり態 年時は基板と(ここでは、健直上、基板1をり とした場合について説明をする)上に、例えば公 短であるし000系統により、フィールド数化機

2を選択的に形成し、E 2 PROM形成領域、EPROM形成領域、および周辺用MOSFET形成領域の各能勘案子領域に、それぞれ分離する。次に、短出している甚級1の表面に、例えは熱酸化法により、第1の熱酸化漿24を形成する。次に、E 2 PROM形成領域における拡展1の所定の場所に対して、例えば図示しない水トンジストによるマスクを用いて、進沢的に、n型不能物であると素をイオン注入し、n型不能物路4を形成する。

次に、第2回(b)に示すように、EPROM 形成領域、および期辺別MOSFET形成領域上 に形成されている第1の無酸化膜24を験去し、 例えば西板1表面を預出させる。

次に、第2図(c)に示すように、EPROM 形成領域、および周辺用MOSFET形成領域に おける基板1の前出面に、例えば熱酸化法により、 郊2の熱酸化級25を形成する。このとう、熱酸 化時の熱により、第1の熱酸化酸24も成爲し、 腹壁が若干厚くなる。

次に、第2國(e)に示すように、全面に、例えばCVD法により、第1四ポリシリコン器 28 を形成する。ここで、第1回結故化膜 24、第2の熱致化膜 25、および第3の熱酸化膜 24、例の成長は、ほぼ止まる。このときの護尿は、例えばそれぞれ約430人、約250人、およびに設けるれるものではなく、それぞれ遊詢な腹原故に設けるのではなく、それぞれ遊詢な腹原故に設けるのではなく、それぞれ遊詢な腹原故に設けるのではなく、それぞれ遊詢な腹原故に対

特別平3-126265 (14)

次に、第2回(1)に示すように、第1項ポリンリコン階28を、例えば営示しないホトレジストを用いた写真独詞法により、EiPROMおよびEPROMにおける浮遊ゲートのセルスリット(第2回(1)には図示せず)、選択別MOSFET並びに異辺亀MOSFETのゲート

の形状 (これらの部分)には、符号28~を付す) にバターニングする。この状態の平面図を第3図 に踏示する。

第3回に図示するように、第1回ボリシリコン 「日本のでは、フィールド酸化の2上で、ワード線 では、フィールド酸化の2上で、ワード線 が高におけるセルの浮遊ゲートを、互いに分離するセルスリット29がパターエングきれ、あらに形 がの、カートの形状28~にパターニング は成域上では、ゲートの形状28~にパターニング けるゲートの形状28~にパターニング けるケートの形状28~は、おのおのゲートがお がされている。ここで、周辺用MOSFETが がされている。ここで、周辺用MOSFETが がされている。ここで、周辺用MOSFETが がされている。ここで、周辺用MOSFETが がされている。ここで、周辺用MOSFETが がないるようにパターニングされている。 にがっトがおの分離されるように応放分離 がはなない。第3回中のA-A・線に給う該面 は、第2回(f)である。

次に、 類 2 関 (g) に示すように、 全菌に、 調えば 熱 数 化 法に よ り 、 第 4 の 熱 数 化 裁 3 0 を 形 成 する。 この 第 4 の 熱 敵 化 数 3 0 は 、 E * P R O M および B P R O M の 毎 2 ゲート 数 化 類 と な る も の

であり、したがって、その段照は、間メモリセルの特性に合わせて設定される。次に、全国に、列口を比より、第2階ポリシリコン路のでは、近の第2階ポリシリコンははPOCl, 突囲気中におりがあり、第2階ポリシリコン路31の部では、所認の形態は、例に「型不能物のイオン性人に、型化処理は、別に「型不能物のイオン性人によってはいい。また、あらかじめ不純物がドープではあれたで、第2階ポリシリコン路31を形成しても物わない。

次に、第2回(h)に示すように、EPROM形成領域、およびEュPROM形成領域のメモリトランジスタ領域の上部を、例えば図示しないホトレジストによってマスクする。次に、ホトレジストをマスクとして、韓辺用MOSFET形成領域、および選択用MOSFET所成領域、および選択用MOSFET所域の上部に存在するM2回ボリシリコン聯31を除去し、今便

は、周辺明MOSFET形成領域、および選択用 MOSFET頭頭の上部を、餌えば図示しない水 トレジストによってマスクする。これとともに、 E ⁷ PROMおよびEPROMの制御ゲートバタ ーンを、ホトレジストに形成する。次に、ホトレ ジストをマスクとして、第2段ポリシリコン値 31、第4の熱酸化酶30、および整1層ポリシ リコンは28を版次節去する、いわゆるセルファ ラインエッチングを行なう。このセルフアライ ンエッチングによって、第1層ポリシリコン層 28にて構成された序遊ゲート6、16、並びに MOSFET (選択用MOSFETを含む) のゲ - ト8、22が形成される。同様に、第4の無酸 化級30にて構成された第2ゲート酸化級9、 1.7、並びに第2層ポリシリコン盛31にて構成 された制御ゲート10、18が形成される。また、 第1の無酸化膜24にて構成された第1ゲート酸 化胰5、7が形成される。同様に、第2の無政化 勝25にて協成された第1ゲート致化膜15、 21が形成され、第3の無軟化限27にて根成さ

特開平3-126265 (15)

れたトンネル酸化酶5′が形成される。次に、詢 ロゲート10ゃよび18、遊びにMOSFET (選択用MOSFETを含む)のゲート8、22 をマスクにして、の選不能物である、例えばし業 32を、盗殺1に対してイオン注入することによ り、昼観1とは反対導電型のソース/ドレイン額 集3、3114、20年、それぞれ形成する。次 に、これらのソースノドレイン領域3、31、 14、20を、例えば熱処理することにより、后 姓化させる。ここで、ソース/ドレイン領域31 は、n型不能物質々に接するように活性化される。 この後、海上図に示すように、全面に唇脂地紋 験】1を形成する。次に、例えば図示しないホト レジストを用いた写真版刻法により、題間拍疑態 11に対して、リース/ドレイン領域3、14、 20号に減じるコンタクト孔12、19、23を、 遊択的に開孔する。次に、例えばスパック法によ り、コンタクトル12、19、23内を含む金面 に、アルミニウム等の導動性の材料を放益し、こ

にパターニングする。そして、最後に、表面保証 取13を全面に形成することにより、この発明の 第1の実験例に係わる半導体記憶安原が製造される。

このような、第1の実践的に係わる半導体記憶装置の製造方法によれば、第1ゲート酸化製 5、7、トンネル酸化膜5′、第1ゲート酸化製 15、21を、それぞれ異なる数厚に形成して、 E² PROMと、EPROMと、MOSFETと が同一チップに形成できる。本実統例中では、別 1ゲート酸化酶5、7の隣摩が430人、第1ゲート級化模15、21の限率が250人、トンネル酸化額5′の関係が100人となっている。

以下、第4 図、第5 図(a)ないし第5 図 (d) 、 および第6 図を参照して、この発射の第 2 の実施例に係わる半導体記憶製置およびその観 遊方法について説朝する。

第4図は、この発明の第2の実施的に係わる半 専体記録装置の課念を示す断面図である。

第5日(e)ないし第5回(d)は、第4日に

がす半導体記憶装置を製造工程順に示した断面図 である。

れを所定の配籍12′、19′、23′ 等の形状

第4図の断面図において、第1図と同一の部分 については、同一の参照符号を行し、型複する映 朝は避けるものとする。

この弟2の実施例に係わる半導体記憶鉄蟹の特徴としては、主に、以下に説明する4点がある。

第4回に示すように、まず、第1に、 E*PROM形成領域におけるメモリトランジスクの第1ゲート酸化膜5と、選択用MOSPBTの第1ゲート酸化膜33との瀕豚が良いに異なる点である。第1の実施例に無わる半導体記憶設置では、これらが、同一の膜厚を持っていた。第2の定施例に係わる半導体記憶設置では、第1のゲート酸化膜5の膜摩が、例えば430人程度である。第1のゲート酸化膜33の腹脈が、例えば250人程度である。

類 2 に、 EPROM形成領域における第 1 ゲート酸化喷 1 5 と、 周辺用MOSFET形成領域における第 1 ゲート酸化胰 3 5 との簡解が異なる点

である。第1の実施例に係わる半導体記憶装置では、これらが、同一の膜壁を持っていた。本第2の実施例に係わる半導体記憶装置では、第1のゲート酸化降15の膜厚が、例えば250人程度であり、第1のゲート酸化嗪35の膜厚が、例えば150人程度である。

第3に、選択別MのSFETのゲート34が第 2届ポリシリコン層にで形成されている点である。 第1の実施網に係わる準導体記憶数量では、これ が第1層ポリシリコン層にで形成されていた。

第4に、周辺用MOSFETのゲート36が第 2層ポリシリコン器にて形成されている点である。 第1の実施例に係わる学導体紀憶装置では、これ が第1層ポリシリコン層にて形成されていた。

以上の4つの特徴から、第2の実施的に係わる半導体を促放理によれば、第1層ボリシリコン層にて形成された浮型ゲート6、16と、MOSPET(選択用MOSPETを含む)のゲート34、36との、約えば面積抵抗値psや、膜厚等を、それぞれ任意に変えることができる。

特图平3-126265 (16)

よって、第1の尖越側に張わる半導体記憶設置に 比べて、E * P R O M および E P R O M の 特性の 設定、並びに M O S P E T (E * P R O M の選択 トランジスタを含む) の特性の設定に、互いに含 由度を持たせることができる。

次に、第5回(a)ないし第5回(d)を容照して、第2の実施例に係わる半導体記憶装置の製造方法について説明する。第5回(a)ないし第5回(d)において、各参照する符号は、第4回と対応するものとする。

商、第 5 図(a)までの工程は、第 1 の実施例に係わる学得体で逆装置で提明した第 2 図(a)ないし第 2 図(d)の工程と、は違同一の工程であるので省略する。

第5 図(a)に示すように、第1の実施側に係わる平準体記路装置で説明した第2 図(d)までの工程と、ほぼ同一の工程を超て形成された装置の全面に、例えばCVD法により、第1 層ポリシリコン絡28を形成する。ここで、第1 の熱酸化議24、第2の熱酸化議25、および類3の熱酸

化膜27の成長は、ほぼ止まる。このときの瞭摩 は、例えばそれぞれ約430点、約250点、お よび約100人である。これらの原屋には、上記 題に限られるものではなく、それぞれ適切な破界 遊に設定してよいことは勿論である。 ところで、 この実施到中では、第1の熱酸化腺24の腹厚が、 第4國に図示する第1ゲート酸化限5の順厚に、 ほば等しいものとなる。同様に、第2の結股化膜 25の順厚は、毎1グート駅化膜15の機原に、 ほぼ等しいものとなる。第3の熱酸化膜27の腹 草は、トンネル酸化酸5′の膜原に、ほぼ等しい ものとなる。次に、第1層ポリシリコン暦28に 対し、朔えばPOC1、雰囲気中におけるリン仏 散により、第1届ポリシリコン居28が承望の、 面積低抗菌のるを持つようは導体化(n型化)す る。この第1層ポリシリコン脳28の解体化処理 は、別にn與不乾物のイオン注入によっても構む ない。また、あらかじめ不調物がドープきれた形 で別1層ポリシリコン暦28を形成しても構わな 110

次に、第5図(b)に示すように、第1覧ポリシリロン局2名に対して、例えば暫示しないホトレジストを用いた写真検測法により、セルズリット(第5図(b)には図示せず)をパターニングし、例時に、環辺用MOSFET形成領域および選択用MOSFET領域上に存在する第1層ポリシリコン器2名を除去する。この状態の平面図を第6図に示す。

第6 図に図がするように、第1 層ボリシリコン 園28には、フィールド放化煲2上で、ワード線 方向におけるセルの浮遊ゲートを、それぞれ分能 するセルスリット 2 9 がパクーニングされている。 ここで、周辺地MOSFET形成領域および選 沢用MOSFET舗数上に存在する第1 層ポリ シリコン暦 2 8 は除去されている。第6 図中の B-B 解に治う新面は、第5 図(も)である。 次に、第5 図(c)に示すように、全面に、例

次に、別う図(c)にポリよった、全面に、例えば筋酸化法により、第4の熱酸化膜30を形成する。この部4の熱酸化膜30は、E²PROMおよびEPROMの羽2ゲート酸化医、並びに

次に、第5図(d)に示すように、EPROM形成節域、およびE°PROM形成簡数のメモリトランジスタ領域の上部を、例えば図示しないホトレジストによってマスクする。次に、ホトレジストをマスクとして、MOSFET形成領域およ

特別平3-126265 (17)

び遊択用MOSFET競技の上部に存在する第2 台ポリシリコンM31を、所定のMOSFETの ゲートの形状にパターニングする。これによっ て、第2届ポリシリコン盛31にて構成された MOSFET (遊択塀トランジスタを含む) のゲ - ト 3 4 、 3 6 が形成される。同時に、勇 4 の熱 駅化限30にて構成されたMOSFET (選択用 MCSFETを含む)の第1ゲート放化键33、 35が形成される。次に、図示しないホトンジス トを除去し、今歳は、MOSPET形成領域、お よび選択用MOSFET領域の上部を、例えば図 がしないホトレジストによってマスクする。これ とともに、EIPROMおよびEPROMの創物 ゲートパターンを、ホトレジストに形成する。次 に、ホトレクストをマスクとして、第2旭ポリシ リコンド31、毎4の熱酸化度30、および第1 原ポリシリコン暦28を顧次辞去する、いわゆる セルフアラインユッチングを行なう。このセルフ アラインエッチングによって、気1層ポリシリコ ン瞬28にて構成された浮遊ゲート6、16が形

成される。同様に、第4の結及化額30にて構成 された第2ゲート競化競与、15、並びに第2届 ポリシリマン暦31にで胡成された制御ゲート 10、18が形成される。また、第1の無酸化器 24にて得成された第1ゲート酸化與5が形成さ れる。同様に、第2の無数化膜25にて讃求され、 た郊1ゲート酸化膜15が形成され、箱3の熱酸 化鴨27にて緑成されるトンネル酸化膜5′ が形 吹される。次に、刺狒ゲート10日よび18、並 びにMOSFET (選択用MOSFETを含む) のゲート34、36をマスクにして、 n 超不能物 である、例えばと異32を、甚反1に対してイオ ン注入することにより、基股1とは反対事項数の ソース/ドレイン新娘3、3114、20を、モ れぞれ形成する。次に、これらのソースノドレイ ン傾岐3、3′、14、20を、餌えば熱処理す ることにより、消性化させる。ここで、ソース/ ドレイン領域3~は、n型不純物脂4に彼するよ うに高性化される。

この級、第4回に示すように、第1の異胞的

同様、題間勘報談11の形成、コンタクト孔12、 29、23の関孔、アルミニウム帝の母國性線の 痛者、これを所定の配線形状にパターニング、モ して表面保護機13の形成等によって第2の実施 別に係わる半事体記録波置が製造される。

このような、第2の実施的に係わる半母体記憶 装成の製造方法によれば、第1ゲート度化幾5、 トンネル酸化酸5′、第1ゲート酸化酸15、並 びに罪しゲート酸化酸33および35を、それや れ異なる頻照に形成することができる。本実施例 中では、第1ゲート酸化膜5の筋圧が430人 程度、第1ゲート設化度15の概率が250人 程度、第1ゲート酸化腺33および35の膜膜 が150人程度、トンネル放化額5′の膜原が 160 人位文である。

さらに、浮遊ゲート6、16と、ゲート34、 36とを、それぞれ異なる母母経にて形成できる。 本実施則中では、浮遊ゲート6、16が第1番ポ リショコン暦28にて帰成され、ゲート34、 36が節で樹ポリシリコン好31にて将成されて、

E * PROME, EPROME, MOSFETE が同一チップに形成できるようになる。

また、本奥維的中では遊べていないが、 MOSFET (選択所MOSFETを含む) 形成 新城の基板 1 に対して、チャネルインプラを行な う無、この芸板1に対してインブラされたしまい 値制御用不純物が、第2層ポリシリコン暦31形 成時の熱観艦を受けることがなくなる。このチャ ネルインブラは、別えば第5図(c)に京す工程 で、第2層ポリシリコン服31の形成以前に行な われる。

よって、第2の貨融例に係わる半届休品位 装取の製造方法では、MOSFET(選択用 MOSFETを含む)のしきい値を、所望の値に 栫皮よく合わせ込むことが可能となる。

以下、短7回、第8回(8)ないし第8回(1) を参照して、この発明の第3の実施例に係わる书 導体記憶質置およびその製造方法について説明す

前7凶は、この死朔の第3の実施例に係わる半

特別平3-126265 (18)

事体記憶質器の概念を示す断函数である。

類8図(a)ないし類8図(1)は、第7図に 示す半導体記憶数置を製造工程順に示した断面図 である。

第7 図の断頭図において、第1 図および第4 図 と同一の部分については、同一の参照符号を付し、 建設する及明は延けるものとする。

第7図に示すように、この第3の実施例に係わる半導体記憶装置の特徴としては、第2の実施例に係わる半導体記憶装置の特徴に加えて、浮遊ゲート6と、制御ゲート10とを互いに絶線39、健化膜40、および変化膜41からなる頻陽場を限にて構成されている点である。同様に、構造する策化膜44、対よび受化膜45からなる鉄騎構造膜にて構成されている。

以上の特徴から、この第3の実施列によれば、 第2の実施例に係わる半導体記憶装度による効果

次に、第8図(b)に示すように、第1層ポリシリコン暦28に対して、例えば図示しないホトレジストを用いた写真控制法により、セルスリット(第8図(b)には図示せず)をパターニングし、同時に、周辺州MOSPRT影成領域および必収川MCSPET所域上に存在する第1届ポリンリコン暦28を致去する。この状態の平面関は、例えば第6回に関示する平面図と同じものであるので、第6個を常級動う。また、ここでの第6回

に加えて、EPPROMおよびEPROMの特性のうち、例えば浮遊ゲートと、制御ゲートとの間の容量の増火等が為される。

次に、第8図(a)ないし第8図(f)を参照して、第3の実施例に係わる洋群体記憶検認の製造力法について説明する。第8図(a)ないし第8図(f)において、各参照する符号は、第7図と対応するものとする。

尚、第8図(a)までの工程は、第1の実施例に係わる中等体記憶数置で説明した第2図(a)ないし第2図(d)の工程と、ほぼ同一の工程であるので省略する。

第8四(a)に示すように、第1の実施例に係

たる半導体記憶整置で説明した第2匹(d)まで

の工程と、ほぼ別一の工程を設て形成された装置

の全面に、例えばでVD族により、第1回無限

リコン窓28を形成する。ここで、第1の無酸化

酸24、第2の無酸化

は、30人はそれぞれ約430人、約290人、お

の説明は、既に説明ずみであるので省略する。

次に、第8回(c)に示すように、全面に、例 えば塩度1000℃、N2 特沢部20%の雰囲気 中で、棄1層ポリシリコン層28上において過厚 が、例えば350人程度となる第4の無酸化限 47を形成する。次に、全面に、例えばCVD 近により、第1の窒化胰48を、削えば腹厚が 300人程度となるように形成する。次に、この 第1の室化験48上に、例えば温度950℃。 B O x (ボロン酸化物) 雰囲気中、8 9 分間の時 間指定により、陰平60人程度ななる第5の熱 酸化陨49を形成する。次に、全面に、例えば CVD法により、第2の登化職50を、例えば版 | | が300人程度となるように形成する。これら の第4の政化職47、第1の登化職48、第5の 股化隊49、および節2の変化膜50からなる質 婚母巡察は、E2PROMおよびEPRのはの第 2ゲート拍録技となるものであり、したがって、 その腋戸は、EiPROMセルおよびEPROM セルの特性に合わせて設定される。

特開平3-126265 (19)

次に、第8刻(d)に示すように、EPROM 形成領域上およびE*PROM影成領域のメモリ トランジスタ形成領域上を、例えば図示しないホ トレジストによってマスクする。次に、返訳用 MOSFET領域上および周辺用MOSFET成 領域上に存在する第4の設化額47、第1の壁化 競48、第5の酸化腺49、および第2の窒化腺 50を除去し、済えば誘板1の表面を承出させる。 次に、この基板1の表面上に、例えば熱酸化法に より、第6の熱酸化腫51を、蓋板1表面におい て、供えば瞬厚150人程度となるように形成す る。この節もの無飲化粧りまは、MOSPET (選択馬MOSFETを含む) の第1ゲート級化 瞬となるものである。このとき、第2の整化額 50上にも、隣原の海い熱酸化膜が形成されるが、 額めて薄い腹原であるため新視しても揺わない。 尚、ここで、努るの為飲化膜51を、 MOSFET (選択用MOSPETを含む)のチ ャネル領域に対するチャネルインプラの際の、い

わゆる報往胶化機とすることもできる。この場

合の製造方法の一例としては、まず、例えばしまい 値 制御用の所定の不統物モイオン法入後、第6の無酸化 限51を腐虫する。このとき、E²PROMの第2ゲート総設においては、第2の変化膜50がエッチングの練望となるために、ほとんど除虫されることはない。そして、甚板1の表面に、再改、MOSFET(選択用MOSEETを含む)の第1ゲート酸化膜となる、新たな熱酸化酸を形成すればよい。

次に、第8回(e)に示すように、全面に、例えばCVD扱により、第2層ポリシリコン図31 を形成する。次に、この第2層ポリシリコン図31 の別えばPOC1。雰囲気中における リンは数により、第2層ポリシリコン図31が、 所望の面積抵抗超コュを持つように媒体化(n型 化処理は、別にn型不夠物のイオン性入によって も満わない。また、あらかじめ不純物がドープと れた形で、第2層ポリシリコン膜31を形成して

も待わない。

次に、第8凶(()に形すように、EPROM 形成所域、およびEPPROM形成前域のメモリ トランジスタ領域の上部を、到えは盥示しないホ トレジストによってマスクする。次に、ホトレ ジストをマスクとして、周辺用MOSFET形 政策協および選択用MOSFET領域の上部に 存在する第2層ポリシリコン層31を、所進の MOSFETのゲートの形状にパターニングする。 これによって、第2層ポリシリコン層31にては 成されたMOSFET(選択用MOSFETを全 む)のゲート34、36が形成される。同時に、 第6の放敗化映51にて構成されたMOSFET (選択用MOSFETを含む) の効 1 ゲート酸化 膜37、46が形成される。次に、図示しないホ トレジストを除法し、今度は、MOSPETだ 成領域、および選択用MOSFET領域の上部 を、別えは図示しないホトレジストによってマ スクする。これとともに、E*PROMおよび EPROMの制御ゲートバターンを、レジストに

形成する。次に、ホトレジストをマスクとして、 第2輩ポリシリコン層31を除去する。引き続き、 第2の窓化膜50、第5の機酸化腺49、第1の 窓化膜48、毎4の粘膜化膿47を除去し、さら に、引き続いて第1層ポリシリコン篇28を除会 する、いわゆるセルファラインエッチングを行な う。このセルフアラインエッチングによって、第 1層ポリシリコン暦28にで構成された形立ゲー ト6、16か形成される。同様に、第4の熱酸化 近47、第1の選化版48、第5の結設化版49、 および第2の窒化路50からなる積層構造機にて 構成されたE² PROMの第2ゲート総鉄版(図 中では38~41の設盤構造版で図示)、および EPROMの前2ゲート絶縁数(図中では42~ 45の粉磨構造顔で関示)が形成される。さらに、 第2層ポリシリコン暦31にで課成された創稿タ ートIO、18か形成される。また、第1の熱酸 化眼24にて構成された第1ゲート酸化腺5が形 成される。同様に、第2の熱酸化脱25にて铸成 された第1ゲート酸化酸15か形成され、第3の

特别平3~126265 (20)

無既化設とでは、何知が一ト10なよび18、か形成される。次に、何知が一ト10なよび18、並びにMOSFET(遊択用MOSFETを含物で一ト34、36をマスクにして、「型して茶館物である、例えばヒカリンを、「は、114、20を、がは、14、20を、がは、14、20を、がは、14、20を、がは、14、20を、がは、14、20を、の何えば、リースがは、14、20を、の何えば、リースがは、14、20を、ここで、ソースとは、15に依住化される。

この後、第7図に示すように、第1 および第2の実践例と同様、勝間結保護 1 1 の形成、コンタクト孔 1 2、1 9、2 3の開孔、アルミニウム事の事電性観の変岩、これを所定の配線形状にバターニング、そひて表面保護験 1 3 の形成等によって第3の実施例に係わる半導体記憶装置が製造される。

このような、第3の実施例に係わる予選体記憶

第4図に示すように、この第4の実施例に無わる半導体記憶袋罐の特徴としては、E2PROMの浮遊ゲート53との面積低水値ク5が、互いに異なる点である。例えばEiPROMの浮遊ゲート53の面積に状態をρ 3 2とすると、

ρ s 1 > ρ s 2 の関係になるように設定されている。

つまり、浮遊ゲートにおける不能物線度の関係 が

E² PROM < EPROM Eustva

このように、EPPROMの存遺ゲート6の面積低抗値prlが必い抵抗値を持って形成されている、すなわち不能物溢度が低く設定されていることにより、例えばトンネルリーク、あるいはトンネル酸化质5~からの不能物の基膜へのしみ出し時の問題が解決され、EPPROMの信頼性が高まる。

設置の製造方法によれば、第2の実施費で説明した効果に加えて、第2ゲート能数膜を、変化膜 (駅化されにくい絶数器)と、酸化膜との最階構造膜にすることができる。

しかも、MOSFET(E2 PROMの選択トランジスタを含む)のチャネル領域に対するチャネルインブラの際には、毎8四(d)の工程で説明したように、犠牲酸化酸の導入が可能となる。

以下、第9図、第10図(a)ないし第10図(c)、および第11図をお照して、この発明の第4の実施例に係わる半導体記憶装置およびその製造方法について説明する。

第9 図は、この発明の第4 の災施例に採わる単 導体記憶装置の概念を示す新画図である。

第10回(a)ないし第10回(c)は、第9回に示す半導体記憶装置を製造工程所に示した断値図である。

第9図の断面図において、第1図と同一の配分 については、同一の整照符号を付し、型談する説 明は避けるものとする。

よって、この第4の実施所によれば、第1の実施所に係わる华帯体配性装置の効果に加えて、よりは新性の高まった5~PROMを、EPROMと同一チップ上に記載することが実践される。

次に、第10回(a)ないし第10回(c)を 移風して、第4の実施例に採わる半導体記憶模置 の製造方法について説明する。第10回(s)な いしヨ10回(c)において、各部風する符号は、 第9回と対応するものとする。

尚、第10(ま)までの工程は、第1の実施到に係わる半準体配性装置で説明した第2数(a)ないし第2数(d)までの工程と同一であるので省略する。

第10回(a)に示すように、第1の契路例に 係わる半導体記憶装置の製造方法の第2回(d) までの工程と、同一の工程を経て形成された袋型 の全箇に、例えばCYD法により、第1回ボリン リコン屋28を形成する。ここで、第1の結成化 数24、第2の熱版化類25、および第3の結成 化版27の成長は、ほぼ止まる。このときの映像

特朗平3-126265 (21)

は、例えばそれぞれ約430人、約250人、および約100人である。これらの数厚値は、上記位に限られるものではなく、それぞれ遊りな狭厚値に設定してよいことは勿論である。

次に、第10回(b)に示すように、第1層ポ リシリコン屋28上に、例えば慈敏化法により、 頭厚400人程度の無效化頭55を形成する。そ して、E² PROMの浮遊ゲート形成領域上に熱 酸化酸5分が残るように、例えば図示しないホト レジストを用いた半克赦対法により、除去する。 次に、第1層ポリシリコン間28に対し、例えば POC!。拌頭気中におけるリン拡散により、塩 1 層ポリシリコン層28か、所望の面積低抗雄 ρ s を持つように非体化 (n 慰化) する。このと き、 類 1 層ポリシリコン層 2 8 上に、 熱酸化機 5 5 が 我 留 し て い る 領 域 (第 1 層 ボ リ シ リ コ ン 層 28として図示)では、不報物の拡散が制限さ れ、不統物温度が低くなる。また、熱数化糖55 が残留していない領域(第1番ポリシリコン路 28-2として図示)では、反対に不能物流症が

高くなる。例えば第1届ポリシリコン語 2 8の不統物の改は、1~3×10~ca~2を放となり、第1層ポリシリコン語 2 8~2の不能物の設は、第1層ポリシリコン語 2 8~2のようなでは、第4~6×10~ca~2程度となる。このようなで面積ないのようなでの的概要得る専体化超段は、別にもの数据を得る専体化超段は、別にもの数据を得る専体化超段は、別にもの数がある。また、不純物のマスクとしては、第1層ポリシリカンは、不純物のマスクとしては、第1層ポリシリカンは、不純物のであってもよい。まらに、不純物のが能力を持ったホトレジストでであってもよい。

次に、第10個(c)に示すように、第1個ポリシリコン層28に対して、例えば図示しないホトレジストを用いた写典触到法により、セルスリット(第10四(c)には密示せず)、並びにMOSFETのゲートの形状(この部分には、符号28−2′を付す)をバターニングする。この状態の平面図を第11回に図示する。

第11 図に図示するように、第1 届ポリシリコ

ン図28には、フィールド酸化腺2上で、ワード 辣方向における互いのセルの浮遊ゲートを、それ ぞれ分離するセルスリット29が形成されてパタ ーニングされ、さらに、MOSFETのゲートの 形状28~2′にパターニングされている。ここ で、MOSFETのゲートの形状28~2′は、 おのおのゲートが分離されるようにパターニング されている。これは、第1の実施例で説明したように、ゲートがおのおの分だされるように形成す る必点はない。

また、同図に永すように、 E・PROM形成物 感では、 不純物濃度の低い節 1 層 ボリシリコン魔 2 8 が存在しており、一方、 EPROM形成 領域 では、 不純物濃度の高い第 1 層 ボリシリコン層 2 8 - 2 が存在している。 第 1 1 図中の C - C / 級に沿う販売は、第 1 0 図 (c) である。

以後の工程は、第1の実施例に係わる半導体記録装置で説明した第2図(8)および第2図(h)の工程と関一であるので省略する。

このような、斑4の炎症例は低わる半導体記憶

数での製造方法によれば、第1の突起例に係わる 米導体記憶装置の製造方法による効果に加えて、 E・PROMの浮遊ゲート6の面積低気度の51 と、EPROMの浮遊ゲート53の頭積低気能 の52とを、近いに異ならせて、E・PROMと、 EPROMと、MOSFETとが剛一チップに影 成できる。本実現例中では、例えば互いの面積低 流気を関係を、

p s 1 > p s 2

とするために、 E'PROMの浮遊ゲートもの 不純物温度が 1 ~ 3 × 1 0 ^{2 cco - 1} 景度であり、 EPROMの浮遊ゲート 5 3 の不純物温度が 4 ~ 6 × 1 0 ^{2 cco - 1}程度とされている。

以下、 55 1 2 四、 54 1 3 四 (a) ないし 5 1 3 回 (c) 、 ちよび 5 1 4 回を 参照して、 この 発明の 5 5 の 実施的に係わる 半率 体 足 地 装置 および その 似 造 方 決 について 必明する。

第12図は、この発明の第5の実施例に係わる 半線体記憶装置の概念を示すŘ遊園である。

ガ13型 (a) ないし知13型 (c) ね、

特周平3~126265 (22)

第12回に示す事事体配体袋屋を製造工程順に示 した順適回である。

第128の断面圏において、第18と同一の名 分については、同一のお風行号を付し、重複する 満明は遅けるものとする。

第12図に示すように、この第5の実施例に係わる半導体記憶装置の特徴としては、第2の実施的に係わる半導体記憶装置の特徴に加えて、E*PROMの浮遊ゲート6と、EPROMの浮遊ゲート53との面積近流値ρsが、互いに異なる点である。例えばE*PROMの浮遊ゲート5

2 3 1 > 2 8 2

の関係になるように設定されている。

このように、E2PROMの浮遊ゲート6の 競技抵抗値p 01が高い抵抗値を持って形成されている、すなわち不稀物捜皮が低く設定され ていることで、第4の実施例で説明したように E2PROMの怠慢性が高まる。

は、何えばそれぞれめく30人、約250人、および約100人である。これらの選ば値は、上記値に限られるものではなく、それぞれ遊切な獲堪値に設定してよいことは勿論である。

次に、抗13四(b)に示すように、第1個ポ リシリコン国28上に、別尺は熱酸化法により、 腹原400人程度の熱酸化薬55を形成する。を して、E*PROMの浮遊ゲート形成領域上に熱 恐化幾ちらが終るように、例えば図示しないホト レジストを用いた写真類別次により、除去する。 次に、第1個ポリシリコン省28に対し、例えば POCI。雰囲気中におけるリン試散により、第 1 脳ボリシリコン器 2 8 が、原図の函数低抗雄 ρ s を持つように導体化(n 型化)する。このと き、第1層ポリシリコン層28上に、熱酸化粧 5 5 が 我留している 領域 (第 1 原ポリシリコン原 28として図示)では、不軌物の拡散が刻阻を れ、不動物調度が低くなる。また、熱酸化胶55 が我留していないがほく第1階ポッシリコン層 28-2として図示)では、皮材に不純物油度が

よって、この第4の実践的によれば、第2の実践的に係わる半導体記憶装置の効果に加えて、信頼性の高いE³ PROMを、EPROMと同一チップ上への間時記載が実現される。

次に、第13回 (a) ないし第13回 (c) を 参照して、第5の実施例に抵わる甲原体記憶装置 の製造方法について説明する。第13回 (a) な いし第13回 (c) において、色参照する許号は、 第12回と対応するものとする。

尚、第13(a)までの工程は、第1の実施制にはむる半準体を包装置で説明した第2図(a) ないし第2図(d)までの工程を同一であるので、省略する。

第13図(a)に示すように、第1の実施例に 係わる半導体配は装置の製造方法の第2図(d) までの工程と、海一の工程を経て形成された装置 の金配に、例えばCVD 法により、解1 圏ポリシ リコン暦 2 8 を形成する。ここで、第1 の熱酸化 随24、第2の熱酸化與25、および第3 の熱酸 化膜27の成長は、ほぼ止まる。このときの護厚

高くなる。例えば第1個ポリシリコン隔28の 報物演送は、1~3×10 ***c=-2程度となりのは 1 日間ポリンリコン層28~2の不純物濃度は、第 4~6×10 ***c=-1程度となる。このようなに 1 日間ポリンリコン層28~2の不純物濃ない。 1 日間がよりコン層28のは 2 日間がよりコン層28のは 3 日間がよったに 3 日間がある。 3 日間がある。 3 日間がある。 3 日間がある。 3 日間がある。 3 日間がある。 5 日間がある。

次に、第13回(c)に示すように、第1番ボリシリコン前28に対して、例えば図示しないホトレジストを用いた等質値割法により、セルスリット(第10回(c)には図示サザ)をパターニングする。この状態の平面図を第14回に図示する。

第14回に図示するように、塩1層ポリシリコン関28には、セルスリット29がパターニ

時間平3-126265 (23)

ングされている。また、関四に示すように、 E 2 PROM形成領域では、不純物漁皮の低い第 1 層ポリシリコン層 2 8が存在しており、一方、 E PROM形成領域では、不執物漁皮の高い第 1 路ポリシリコン層 2 8 - 2 が存在している。第 1 1 図中の C - C 1 4 に沿う断面は、第 1 3 図 (c) である。

以後の工権は、第2の実施所に係わる予導体記 低装置で提明した第5個(c)および第5回(d) の工程と同一であるので省略する。

このような、結ちの実施物に係わる半労外記念 設置の疑逻方法によれば、第2の実施物に係わる 半導体記憶装置の観遊方法による効果に加えて、 ミッPROMの浮遊ゲートもの陋骸抵抗値p81 と、EPROMの浮遊ゲート53の匹数抵抗値 クコ2とを、互いに異ならせて、EPPROMと、 EPROMと、MOSPETとが周ーチップに形成できる。本実病例中では、例えば近いの面積抵 流位を関係を、

0 s 1 > p s 2

ゲート53の顕緑脈抗値をDs2とすると、

ρ s 1 > ρ s 2

の関係になるように改定されている。

このように、EIPROMの浮遊ゲート6の面 観話抗遊々 IIが高い透抗値を持って形成され ていることにより、第4、第5の実施約同様、 EIPROMの最低性が高まる。

よって、この第6の実施的によれば、第3の実施的に係わる半導体記憶変数の効果に加えて、信頼性の高い E² PRCMを、EPROMと関ーチップ上への問題起載が異視される。

次に、 毎6の実施例に係わる半時体記憶袋選の 製造方法について説明する。

尚、図面については、第1の実践例に築わる半時体記録袋屋の観道方法の第2図(e)ないし第2図(d)、第5の実施例に使わる半時体記録製匠の製造方法の第13図(a)ないし第13図(c)、並びに第3の実施的に扱わる半時体記録鉄匠の製造方法の第8図(c)ないし第8図(f)と重複するので省略する。

とするために、第4の実施的問題、 E² PROMの序題ゲート6の不能物級度が 1~3×10²⁰ tm⁻²型度であり、EPROMの序 選ゲート53の不能物優度が4~6×10²⁰ cm⁻² 程度とされている。

以下、第15回を参照して、この発明の第6の 実施例に係わる半導体記憶装置およびその製造方 法について裁削する。

第15回は、この元明の第6の実施例に落わる 半摩体記録装置の概念を示す前回図である。

第15図の断面図において、第7図と同一の形分については、同一の多服符号を付し、屋頂する 異明は難けるものとする。

第15日に示すように、この努らの実施的に係わる半事体記憶なほの特徴としては、第3の実施的に係わる半身体記憶な正の特徴に加えて、E2PROMの浮遊ゲートらと、EPROMの浮遊をある。例えばE2PROMの浮遊ゲートらの面積低抗値をのよるとし、EPROMの浮遊

製造方法としては、まず、第2回(2)ないし第2回(d)までの工程を経たあと、第13回(a)ないし第13回(c)の工程を経る。ここで、EiPROMの溶遊ゲートを操成する第1層はリンリコン層との不純物の減度が成する第1層はリンリコン層との不純物の減度が変わる。そして、第8回(c)ないし第8回(1)の工程を経ることにより、客化酸と、酸化酶とのな簡単透過による第2ゲート的経験が形成されるの実施的に係わる単導体記憶装置が製造される。

このような、第6の質胞例に係わる中部体に放棄の製治方法によれば、第3の実施例に係れる。 半導体に複数度の製造方法による効果に加えて、 E®PROMの浮遊ゲート6の節数抵抗液ρ。1 と、EPROMの浮遊ゲート53の面積低流値 の。2とを、互いに別ならせて、E®PROMと、 EPROMと、MOSFETとが同一チップに形成でする。本実統関中では、例えば互いの望着抵抗値を 気値を翻線を、

特别平3~126265 (24)

£ 5 1 > p 8 2

とするために、 第4、第5の実施契同核、 E² PROMの浮遊ゲート6の不知的過度が 1~3×10²⁰cm⁻²役度であり、EPROMの浮遊ゲート53の不能的過度が4~6×10²⁰cm⁻² 役度とされている。

以上、第1ないし第6の実施別について述べた。 ところで、52PROMおよびEPROMのメ そりセルの構造は、なにも2パス方式にこだわる ことはなく、基版内にソース独散層を形成し、こ の取扱所をソース配線としたメモリセルでも良い。 また、ビット物方向に存在するメモリセルでは、 ソース/ドレイン領性を共有していても良い。

以下、そのような例を、積層型選択ゲートを持つE2PROMの例を交えて、第7、第8の実施例として規制する。

第16図は、この発制の第7の支船別に採わる 半毎体紀候装置の異念を示す版面図である。

第17回(s)ないし第17回(d)は、第16回に示す半導体記憶装置を製造工程順に示し

尚、第17図(1)までの工程は、第1の実施 例で満明した第2図(d)までの工程と、ほぼ同一の工程であるので省略する。

第17回(a)に示すように、第1の実施例で 袋明した第2図(d)までの工程を链で形成され た装置の全面に、段えばCVD族により、第1届 ポリシリコン暦28を形成する。ここで、第1 の無酸化酶24、類2の熱酸化膦25、および 第3の熱酸化膜27の成長は、ほぼ止まる。こ のときの隣原は、例えばそれぞれ約430歳、 約250人、100人である。これらの腰屋値 は、上記値の限られることはなく、それぞれ道 切な機関値に設定して良いことは勿論である。 次に、第1届ポリシリコン届28に対し、例えば POCI,雰囲気中におけるリン修数により、食 1 層ポリシリコン路 2 8 が 所 里の面 熱低抗値 p s を持つように写体化 (n 製化) する。この第1回 ポリシリコン暦28の導体化処理は、別にn型不 名物のイオン注人によっても扱わない。 また、お らかじめ不動物がドープされた形で、第1日ボリ

た胼胝図である。

第16図の所面図において、第1回と同一の成分については、同一の数級符号を付し、重視する 説明は延けるものとする。

この第7の実施例に係わる半導体記憶装置の特徴としては、上記したようにE³ PROMの選択用MOSFETのゲート対極名が、経際型選択ゲート(お照符分B³)となっている点である。

また、E*PROM、EPROMの同メモリセルの構造は、ピット線方向のメモリセルにおいて、ソース/ドレインが成る (3, はソース、3, はドレイン)、14(14, はソース、14, はドレイン)を共存した環近、並びに1パス方式となっている。

次に、第17図(a)ないし類17図(d)を多無して、第7の実施側に係わる半導体記憶数度の製造方法について提列する。第17図(a)ないし第17図(d)において、各参額する符号は、第16図および第2図(a)ないし第2図(h)と対応するものとする。

シリコン層28を形成しても関わない。

次に、第17 図(b)に示すように、第1 周ボリシリコン層 2 8に対して、別えば図示しないホトレジストを用いた写出性 朝法により、セルスリット(第17 図(b)には図示せず)をパターニング、並びに叫迎州MOSFETのゲートの形状(この部分には、存分 2 8′を付す)をパターニングする。この状態の平面図を第18辺に図示する。

符明平3-126265 (25)

ずしもない。 声) R 図中の E - E′ 線に沿う断値 図は第17図(b) である。

次に、第17四(c)に示すように、 念面に、 例えば無限化法により、第4の無限化粧30 を形成する。この筆4の熱酸化腺30は、 E 2 PROMおよびEPROMの第2ゲート総称 敗となるものであり、したがって、その限單は、 E ² PROMセルおよびEPROMセルの特性 に合わせて設定される。次に、全面に、例えば CVD法により、第2層ポリシリコン類31を形 成する。次に、この前2層ポリシリコン暦31に 対し、例えばPOC1。雰囲気中におけるヨン旅 版低抗値 p s を持つように身体化 (n 裂化) する。 この毎年化処理は、別にロ型不難物のイオン法人 によっても持わない。また、あらかじめ不純物が ドープされた形で、第2者ポリシリコン器31を 形成しても構わない。

次に、第17日(d)に示すように、 E³ PROM形成領域、EPROM形成領域を、

超遊叔ゲート(8 と 8′)も形成される。次に、 割四ゲート10、18、選択ゲート8′、周辺用 MCSFETのゲート22をマスクにして、 n 報 不妨物である、例えばヒ葉を、恐板1に対して イオン法入し、の歴ソース/ドレイン領域3 (31、31)、3′、14(141、141)、 20をそれぞれ形成する。次に、これらのソース /ドレイン領域3、3′、14、20を、例えば、 熱気型することにより、居性化させる。ここでは ソース/ドレイン領域3′は、銃散器4に接する ように活性化される。

この後、第16四に示すように、第1ないし第 6の災痛所と同様、時間絶数崩11の形成、コンタクト礼12、19、23の開孔、アルミニウム等の専心性限の非谷、これを所定の配線形状にバターニング、そして表面経環膜13の形成等によって行ての実施例に係わる半導体記憶整置が到途される。

このような観覚方法によれば、E³ PRGMの 選択用MOSF5Tのゲートを機圏製にでき、か

例えば国示しないホトレジストによってマスクす る。次に、このホトレジストをマスクとして、周 辺用MOSFET形成領域上に存在する第2層ボ リンリコン暦31を除去する。 次に、ホトレジ ストを除去し、今度は、周辺MOSPRT形成 領法を、新たなホトレジスト(図示せず)によ ってマスクする。これとともに、このホトレジ ストに対して、EiPROMセルおよび選択別 MOSFETのパターン、並びにEPROMセル のパターンを形成する。次に、このホトレジスト をマスクとして、第2時ポリシリコン脳31、第 4の無效化膜30、および第1層ポリシリコン層 29を順次除出する、いわゆるセルフアラインエ ゥチングを行なう。このセルファラインエッチン グによって、第1選ポリシリコン脳29にて縁成 された浮遊ゲート6、16、周辺用MOSFET のゲート22が形成される。関権に、郑2届 ポリシリコン暦31にて構成された制御ゲー ト10、18が形成される。そして、第1層、 第2層のポリシリコン層29、30にて積層

つき。FROMとFPROMとを同一益板上に混 減して形成できる。その他、製造上の特徴として は、第1の実施例の製造方法の特徴とほぼ阿姨で ある。

以下、第19図、第20図(a)および第20図(b)、第21図を参照して、第8の実施例に係わる半導体記憶装置について設明する。

第19回は、この発明の声名の実施例に続わる 半男体記憶数度の概念を示す順面図、第20図 (A) および第20図(b) は、第19図に示す 数置の製造方法のうち、特徴的な工程を示す所面 図である。

第19図の断匹図において、第9図と同一の形分については、同一の参配符号を付し、登後する 袋別は延けるものとする。

この類8の実施例に係わる半導体記憶装置の特徴としては、第7の実施的関係、教施型選択ゲート(静原符号52′)となっている点、およびE2PROMの浮遊ゲート6と、8PROMの浮遊ゲート53、周辺用MOSFET54度びに選

特閒平3-126265 (26)

択用MOSPETの下部で返う2とのポリシリコン間の面板抵抗性ρをが互いに異なっている点である。この点から、ミュPROMの浮遊ゲートもの面板抵抗能ρを在く設定することで、第4ないし第6の実施例のようにE2PROMの信制性がより過まる。

また、E² PROM、EPROMの詞メモリセルの構造は、包7の実務例間様、ビット終方向のメモリセルにおいて、ソースノドレイン領域3(3、はソース、3: はドレイン)、14 (14: はソース、14: はドレイン)を共有した構造、並びに1バス方式となっている。

以下、第20回(a)および第20回(b)を 多照して、第8の実施例に係わる単導体に位装置 の製造方法について製明する。第20回(a)を よび第20回(b)において、各参照する符号は、 第19回および第10回(a)ないし第10回 (c)と対応するものとする。

尚、第20図(s)までの工程は、第4の実施 例で説明した第10図(s)までの工程と、ほぼ 同一の工程であるので省略する。

司20個(a)に示すように、第4の実施例で 説明した取10凶(a)までの工程を経て形収さ れた製造の第1届ポリシリコン版28上に、例え ば無酸化法により、関係400人程度の賠偿化額 うちを形成する。そして、E²PROMの浮遊ゲ - ト形成領域上に熱酸化糖が疑るように、例えば 図示しないホテレジストを思いた写真触劇法によ り、除去する。次に、第1層ポリシリコン脳28 に対し、例えばPCCI, 雰囲気中におけるリン 拡散により、第1層ポリシリコン暦28が、所留 の面積低減額DSを持つように導体化(n型化) する。このとき、効1層ポリシリコン暦28上に、 結散化終ろろが規留している崩域(第1階ポリシ リコン間28として図示)では、不統物の拡散が 制限され、不能物温度が低くなる。また、無数化 践55が幾窗していない領域(第1階ポリシリコ ン暦28-2として國示)では、反対に不能物源 既が高くなる。例えば第1番ポリシリコン暦28 の不純物復風は、1~3×10 to cm * 程度となり、

次に、 第 2 0 図 (b) に 示すように、 第 1 粉ポリシリコン暦 2 8 に対して、 例えば図示しないホトレジストを用いた 写真 妙朝 抗によう、 セルスリット (節 2 0 図 (b) には図示せず) 、 遊びに 図辺 用 M O S F E T のゲート の形状 (こ の 都分に は、 待号 2 8 - 2 ′を付す)をパターニングする。 この状態の 平面図を 第 2 1 図に図示する。

第21 図に図示するように、第1 圏ボリシリコン園28には、セルスリット29かパターニング されている。きらに、周辺用MOSFET影成領 域では、第1日ボリシリコン国28がゲートの形状28-2′にパクーニングされている。ここで、 周辺川M03FETのゲートの形状28′は、ゲートかおのおの分離される形状になっている。 しかしこれは、回路構成によっては分類する必要は必ずしもない。 第21回中のF-F′線に治う断面図は第20回(b)である。

この後、第7の実施例で発明した第17回(c)以降の工程を超ることにより、第19回に示す第8の実施例に係わる半導体記憶該置が報路される。

このような製造方法によれば、E2PROMの 遊次用MOSFETのゲートを領層型にでき、か つE2PROMとEPROMとを同一选版上に混 減、そしてこれら両メモリセルにおける呼遊ゲートの面積抵抗値りまを互いに異ならせて形成でき る。その他、智法上の特徴としては、第4の実施 例の観距方法の特徴とほぼ同様である。

[死明の効果]

以上説明したようにこの免明によれば、音も替える必然が効時あるデータを記憶する記憶部と、

特朗平3-126265 (27)

書き替える必要がほとんどないデータを記録する 記憶器とを合せ持つチップサイズの循小された1 チップマイクロコンピュータ(半砂体記憶校盟) が恐供される。

4. 図面の簡単な説明

第1回は第1の実施的に係わる準導体記憶装置 の概念を示す戦画図、第2図(a)ないし第2図 (ト)は第1の火糖例設置の製造方法を製造工程 順に示す戦節図、第3図は第2図(1)の平面図、 第4回は第2の実施例に係わる半導体記憶盤設の 既立を示す断漪圀、郊5団(a)ないし第5図 (4)は第2の実施的装置の製造方法を製造工程 頭に水す断凸図、赤ら図は赤5回(6)の平面図、 **第7回は第3の英能例に係わる半導体記憶装置の** 既念を示す断顧凶、第8凶(a)ないし弱8凶 (()は第3の実施例装置の製造方法を製造工器 順に京す斯周図、第9図は第4の実施的に係わる 平等体記憶数度の概念を示す断面図、第10図 (a)ないし第10回(c)は第3の実施例装置 の製造方法を製造工程順に示す断面図、第11回

は第10個(c)の平面図、第12回は第5の実 施例に係わる半導体記憶装置の概念を承す断面図、 第13図(z)ないし第13図(c)は第5の実 砂湖袋融の製造万法を製造工程順に示す断頭図、 第14回は第13回(c)の単値越、第15回ば 第6の実施例に係わる半導体記憶架體の概念を示 す頭汤図、第16図は第7の実施例に係わる半点 体記憶波翼の概念を決す断面図、第)7図(a) ないし第17個(4)は第7の実践例装置の製造 方法を製剤工程順に示す断面図、第18図は第 1 ? 図(b)の平面図、第19図は期8の実施別 に係わる半導体記憶装置の概念を示す版面図、 第20日(a) および第20日(b) は無名の 火路例装置の製造方法を製造工程順に示す断面図、 第21回は第20回(b)の平面図である。

1…半導体基盤、2…フィールド酸化額、3、 31 ーソースノドレイン領域、4 …不純物商、 う…知1の無酸化酶にて形成される節1ゲート酸 化版、5~…節うの無酸化膜にて彩成されるトン ネル酸化膜、 6 … 類 1 層ポリシリコン簡にて形成

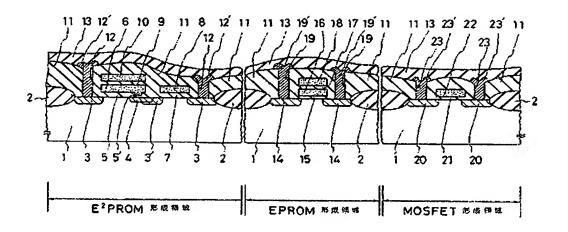
される斧遊ゲート、7…第1の無酸化既にて形成 される第1ゲート酸化膿、8…第1点ポリシリコ ン盤にて形成されるゲート、9… 蛇4の熱酸化 版にて形成される第2ゲート政化職、10…カ 2項ポリシリコン層にて形成される制御ゲー ト、11…脂間艳敏膜、12…コンタクト孔、 12′ …配線、13 …表面保護膜、14 m ソース ノドレイン領域、15…第2の熱酸化膜にで影成 される第1ゲート放化機、16…第1層ポリシリ コン暦にて形成される浮遊ゲート、17… 箱4 の熱療化験にて形成される第2ゲート酸化腺、 18…第2編ポリシリコン毎にて形成される斜海 ゲート、19…コンタクト礼、19!…配線、 20…ソース/ドレイン領域、21…第2の無政 化限にて形成される第1ゲート酸化粧、22~ 第1層ポリシリコン層にて形成されるゲート、 23…コンタクト孔、23′…配物、24…第1 の熱酸化膜、25…第2の熱酸化膜、26…除法 郡、27…第3の為改化獎、28…第1層ポリシ リコン暦、28′ …MOSFETのゲート形状

にバターニングされた第1個ポリシリコン個、 28-2…森い不掩豹後度を持つ第1層ポリシリ ニン解、28-2~…MOSFETのゲート形欽 にパターニングされた高い不能物流炭を持つ第1 盛ポリンリコン階、29… セルスリット、30--第4の慈敬化類、31…第2層ポリシリコン層、 32…ヒポイオン、33…第4の熱酸化酸にて形 成される第1ゲート酸化酶、34…第2層ポリシ リコン路にで形成されるゲート、35…新4の為 設化機にて形成される第2ゲート散化膜、36… 第 2 暦ポリシリコン関にて形成されるゲート、 37…節6の新酸化酶にて形成される節ミゲート 胶化膜、38m類2ゲート絶縁額を構成する第4 の残骸化膜、39…第2ゲート絶縁腹を構成する 第1の京化縣、40…第2ゲート絶段原を将成す る第5の新酸化膜、41……第2ゲート絶縁顔を 提成する第2の丝化膜、42…第2ゲート的緑膜 を開或する第4の熱酸化漿、43…第2が一ト施 軽いを構成する第1の監化隊、44…第2ゲート 絶程限を摂成する節5の無酸化粧、45mm2ヶ

特閒平3-126265 (28)

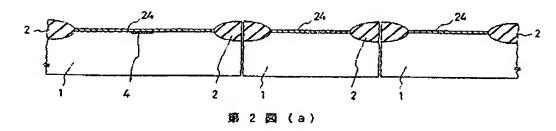
ート総級旗を挑成する第2の窒化版、47…第4の無限化額、48…第1の窓化版、49…第5の 然酸化酶、50…第2の窓化級、51…第6の酸 化版、52…為い不耗物清度を消つ第1艦ポリシ リコン暦にて形成されたゲート、53…高い不能 物液度を持つ第1艦ポリシリコン暦にて形成され た浮遊ゲート、54…高い不能物温度を持つ第1 版ポリシリコン暦にて形成されたゲート。

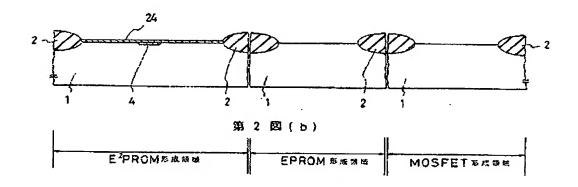
出额人代职人 弁理士 给 红 飲 彦

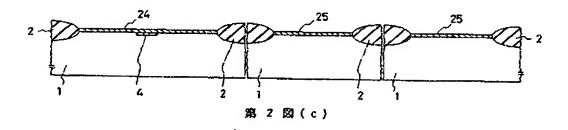


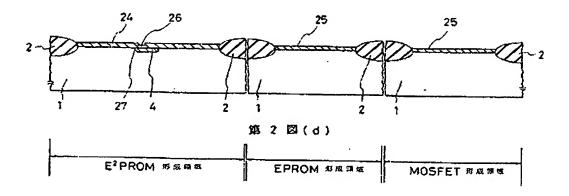
第 1 図

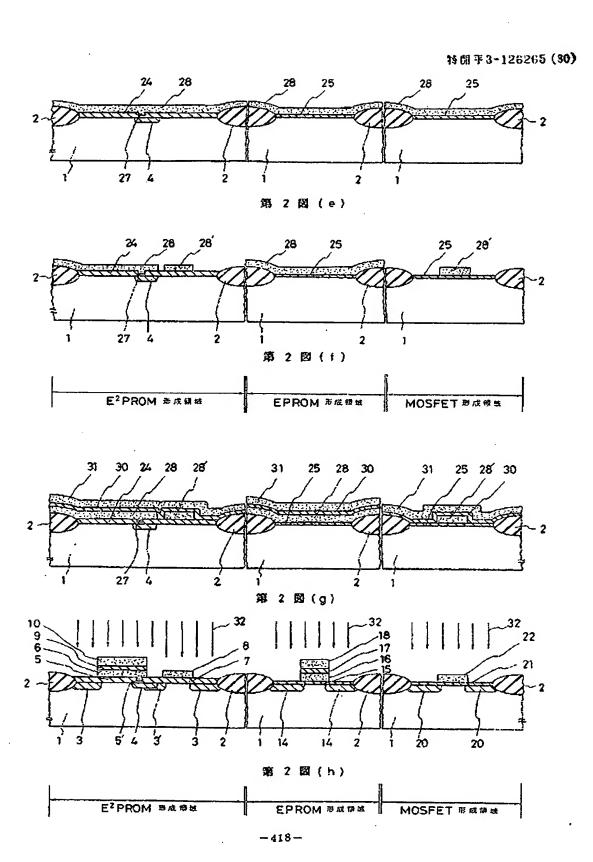
特期平3-126265 (29)



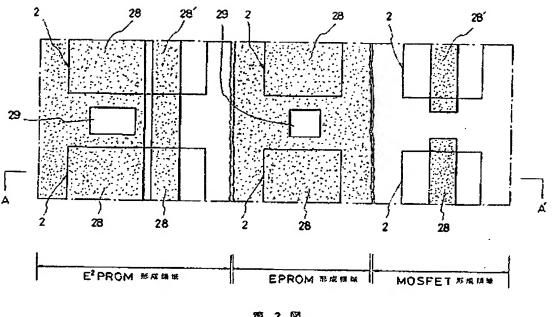




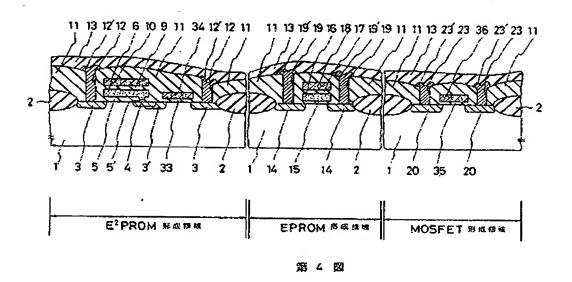


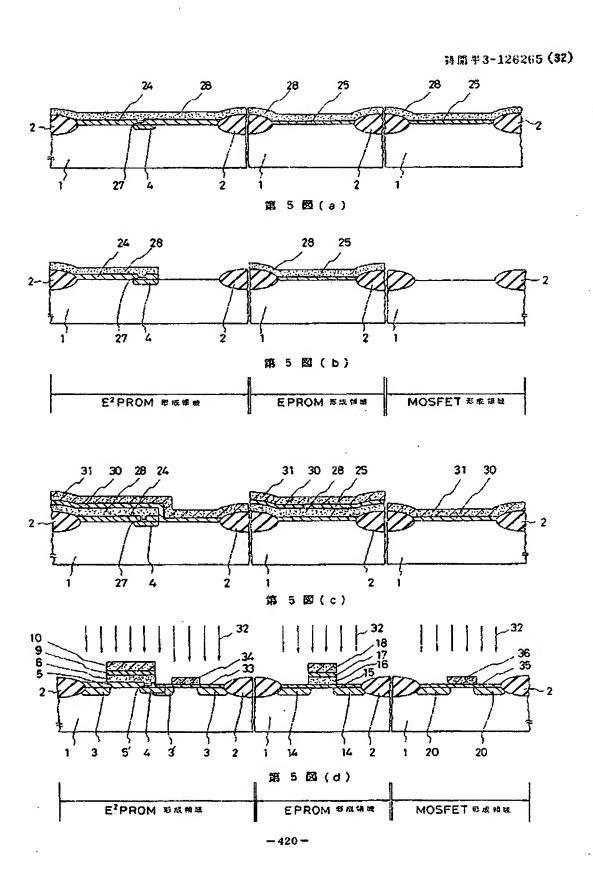


39周平3-126265 (31)

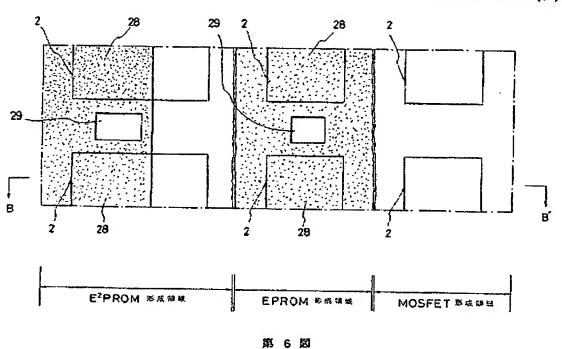


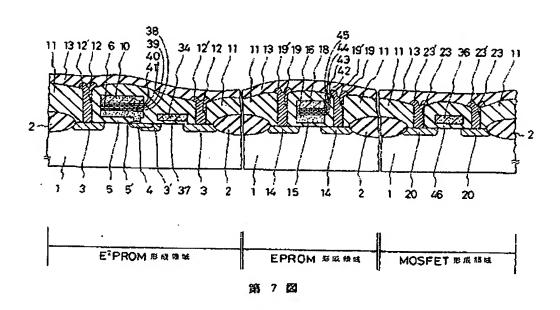


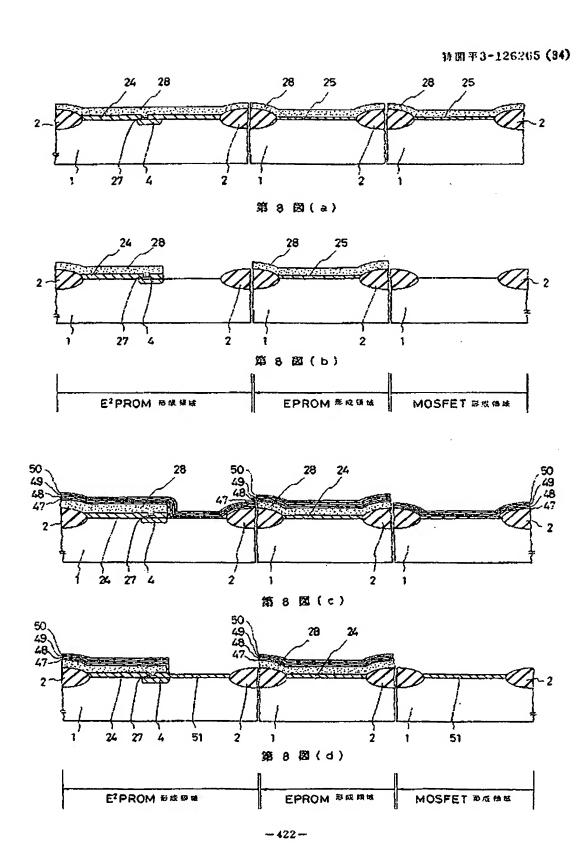




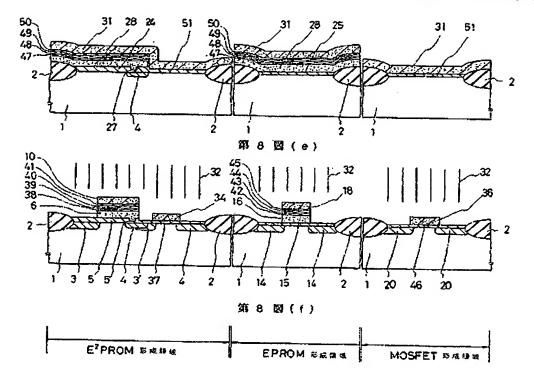
特 開 平 3-126205 (83)

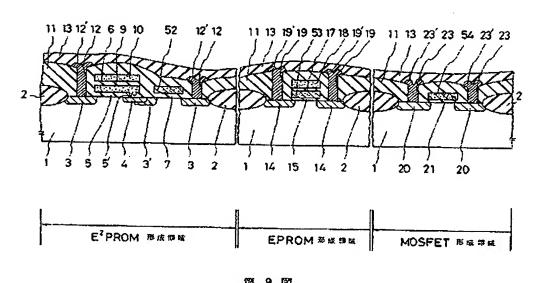


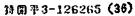


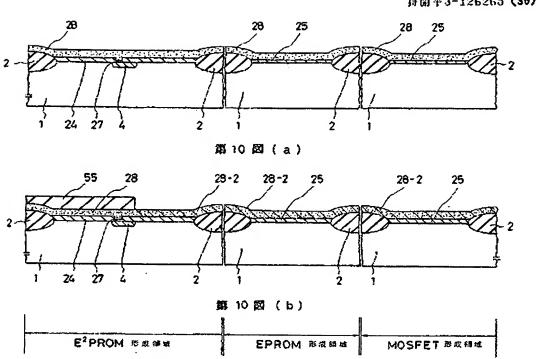


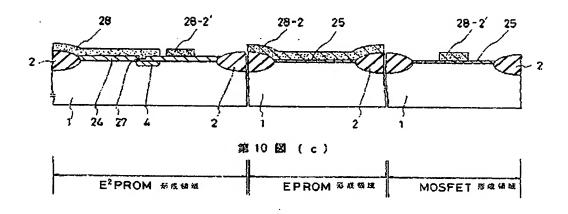
得閒平3-126265 (35)



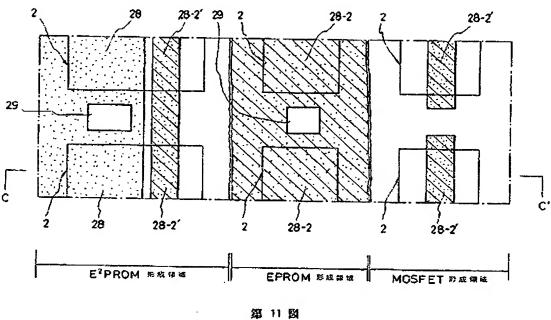


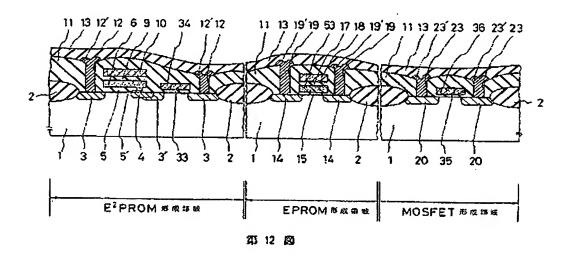




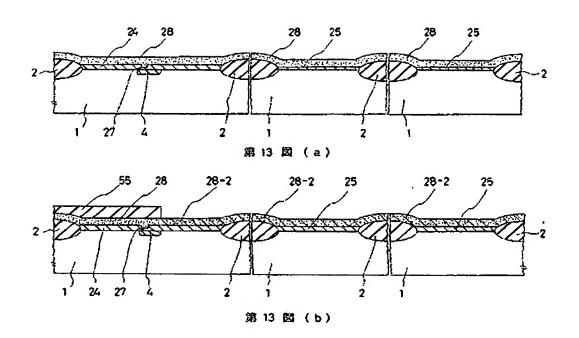


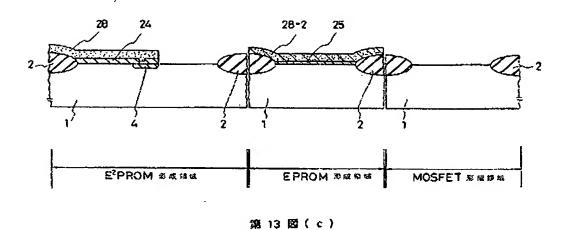
诗明平3-126265 (37)



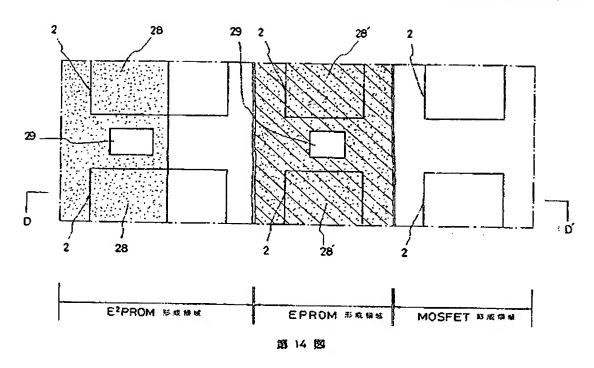


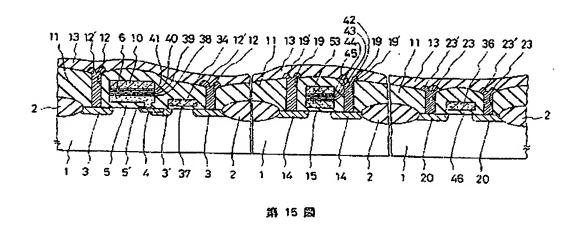
特閒平3-126265 (38)



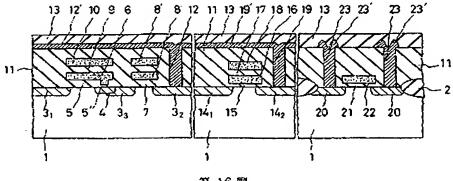


特閒平3-126265 (39)

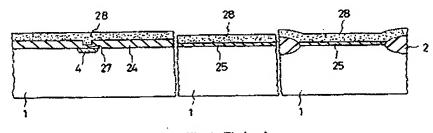




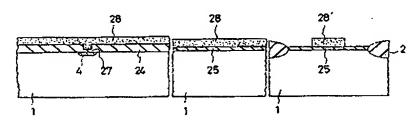
持備平3-126265 (40)



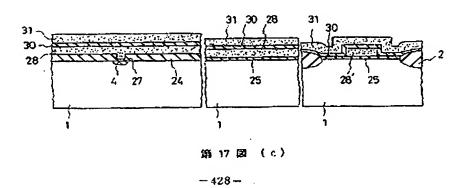
為 16 图



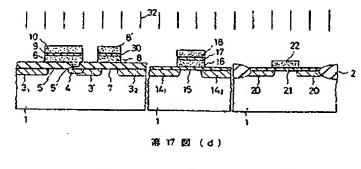
第17 図(a)

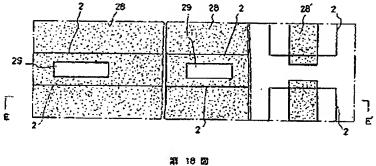


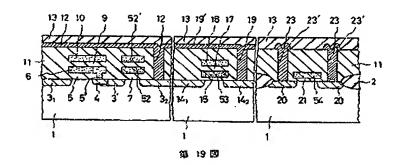
節17 図 (b)

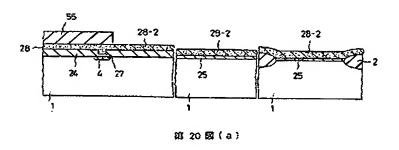


特周平3-126265 (41)









特朗平3-126265 (42) 28-2 28-2 28-2 第 20 図 (b) 28-2 28-2 20-2' 第 21 図

第1頁の続き ®int.CI.⁵

識別記号 庁内袋理番号

HOIL

8831-5F H 01 L 27/10 434

個発 神奈川県川崎市等区小向東芝町1番地 株式会社東芝多歴 川工場内

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
A FADED TEXT OR DRAWING
BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
LINES OR MARKS ON ORIGINAL DOCUMENT
REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
□ OTHER:

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.